

DIGITÁLIS TECHNIKA

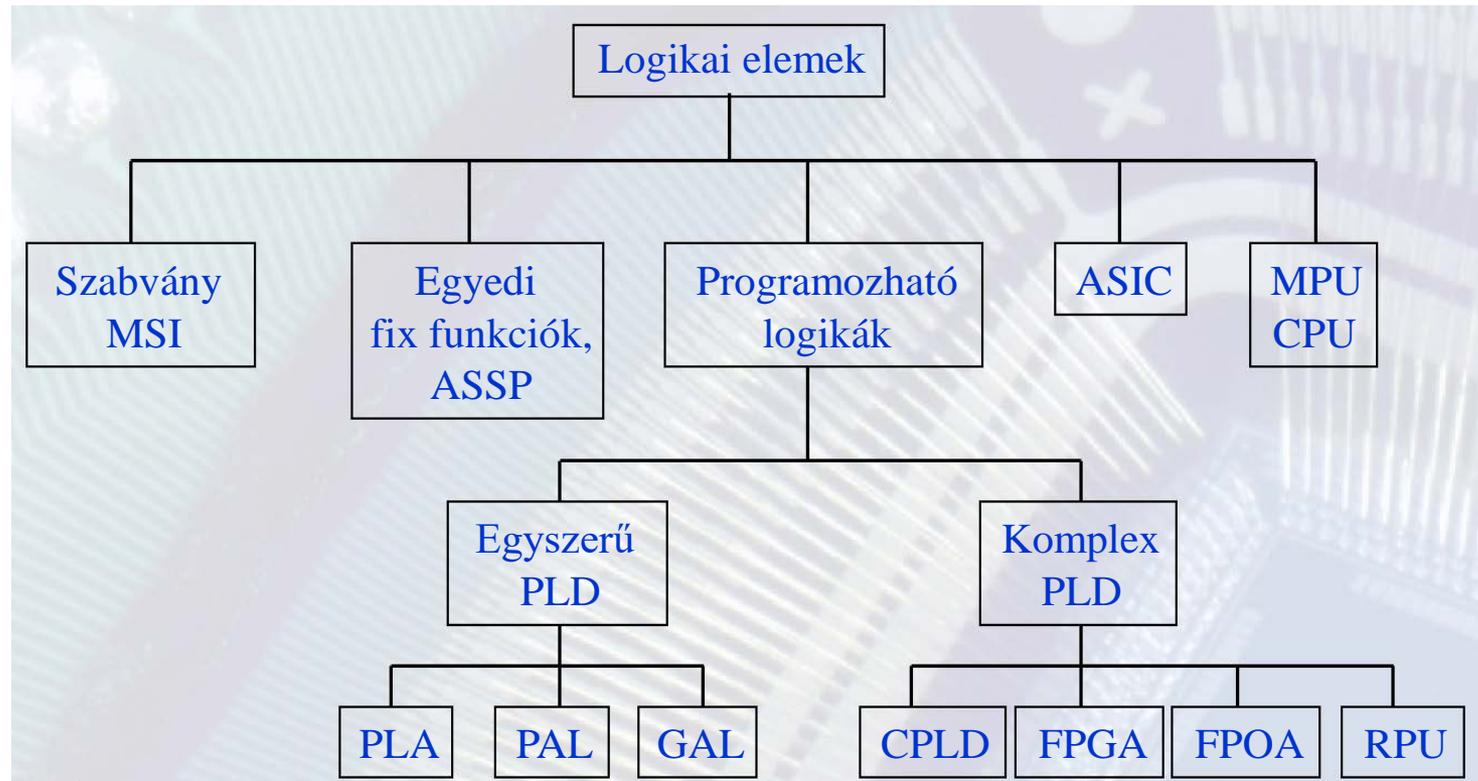
Dr. Oniga István

Összeállította Dr. Oniga István
A következő anyagok felhasználásával

- **Digitális rendszerek tervezése FPGA áramkörökkel.**
Fehér Bela
Szanto Peter, Lazanyi Janos, Raikovich Tamas
(BME MIT FPGA labororium)
- **Basic FPGA Architectures. Xilinx University Program - Professor workshop material**

Technológiai áttekintés

- **Digitális eszközök típusai**



Egyszerű PLD eszközök

- Egyszerű struktúra, egyszerű használat
- Kétszintű kombinációs logika + regiszter
- Domináns elrendezés: mintermek összege
- Általános formában

$$F^k = \Sigma m_i$$

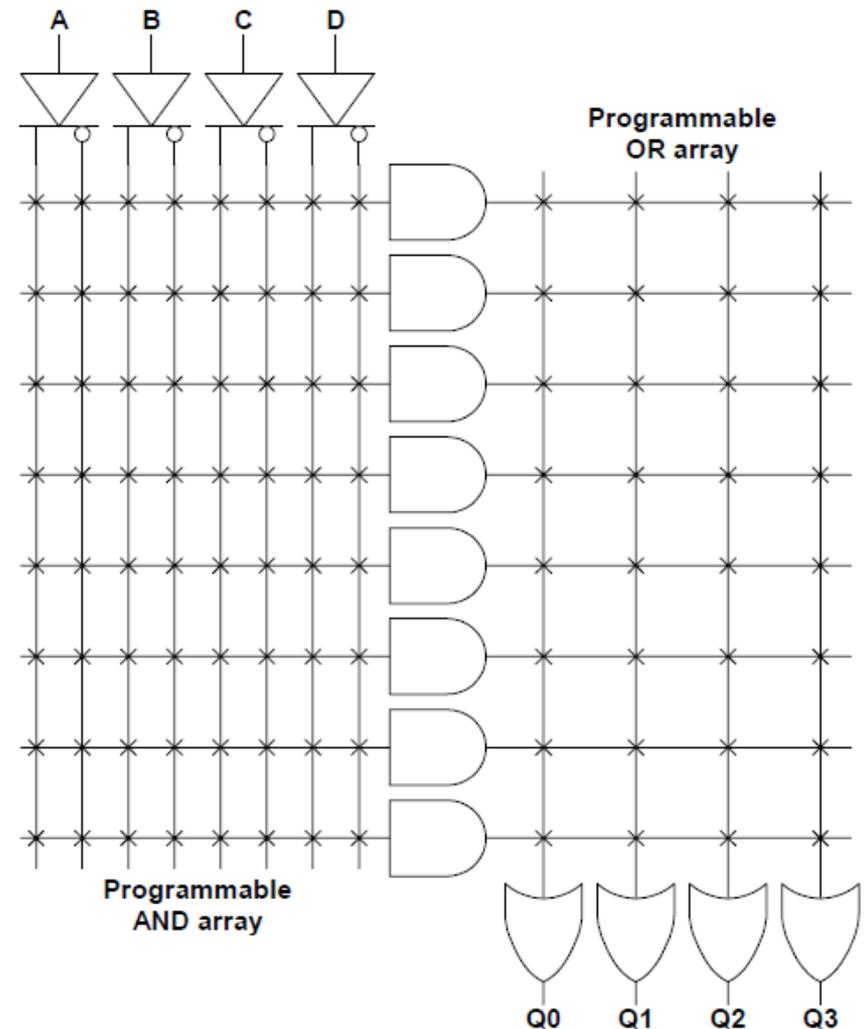
- Például 4 változóra egy egyszerű kifejezés

$$F^4 = AB + ACD + BC$$

Programmable logic array

(PLA)

- Mindkét része (AND, OR) programozható
- Bármely kombinációja az AND / OR-nak előállítható
- Mintermek OR kapcsolata (DNF)
- Programozható kapcsolók a horizontális/ vertikális vonalak metszésében
- Q_n Kimeneteken D tárolók! (visszacsat. a bemenetekre)



PLA tervezése

- 5 bemenete (A, B, C, D, E)
- 4 kimenete Van (X, Y, W, Z)
- Példa: X függvény megvalósítása:

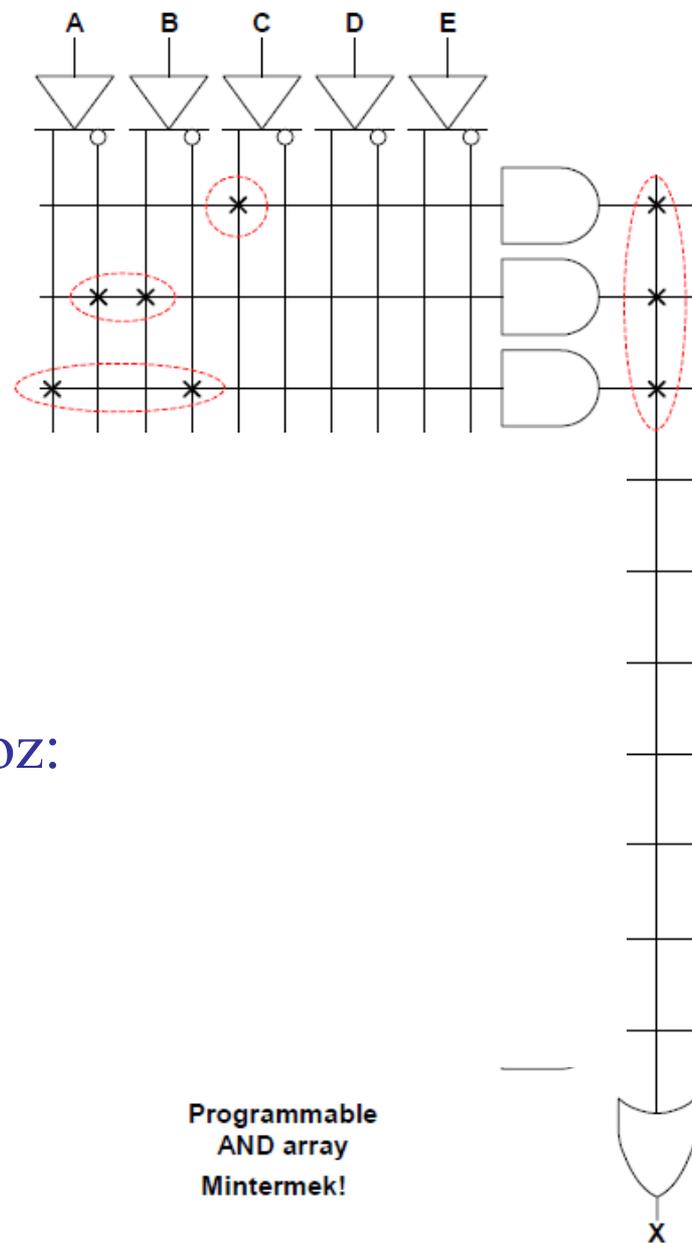
$$X = C + \bar{A} \cdot B + A \cdot \bar{B}$$

Rajzoljuk fel a szükséges kapcsolást a következő függvények megvalósításához:

$$Y = \bar{C} \cdot D \cdot \bar{E} + A \cdot \bar{C} \cdot D$$

$$W = C \cdot D \cdot E + B \cdot C \cdot D \cdot E + B \cdot D$$

$$Z = A \cdot \bar{C} \cdot D + \bar{B} \cdot \bar{D} + \bar{C} \cdot \bar{D} \cdot \bar{E} + C \cdot \bar{D} \cdot E$$



Példa: PLA tervezése

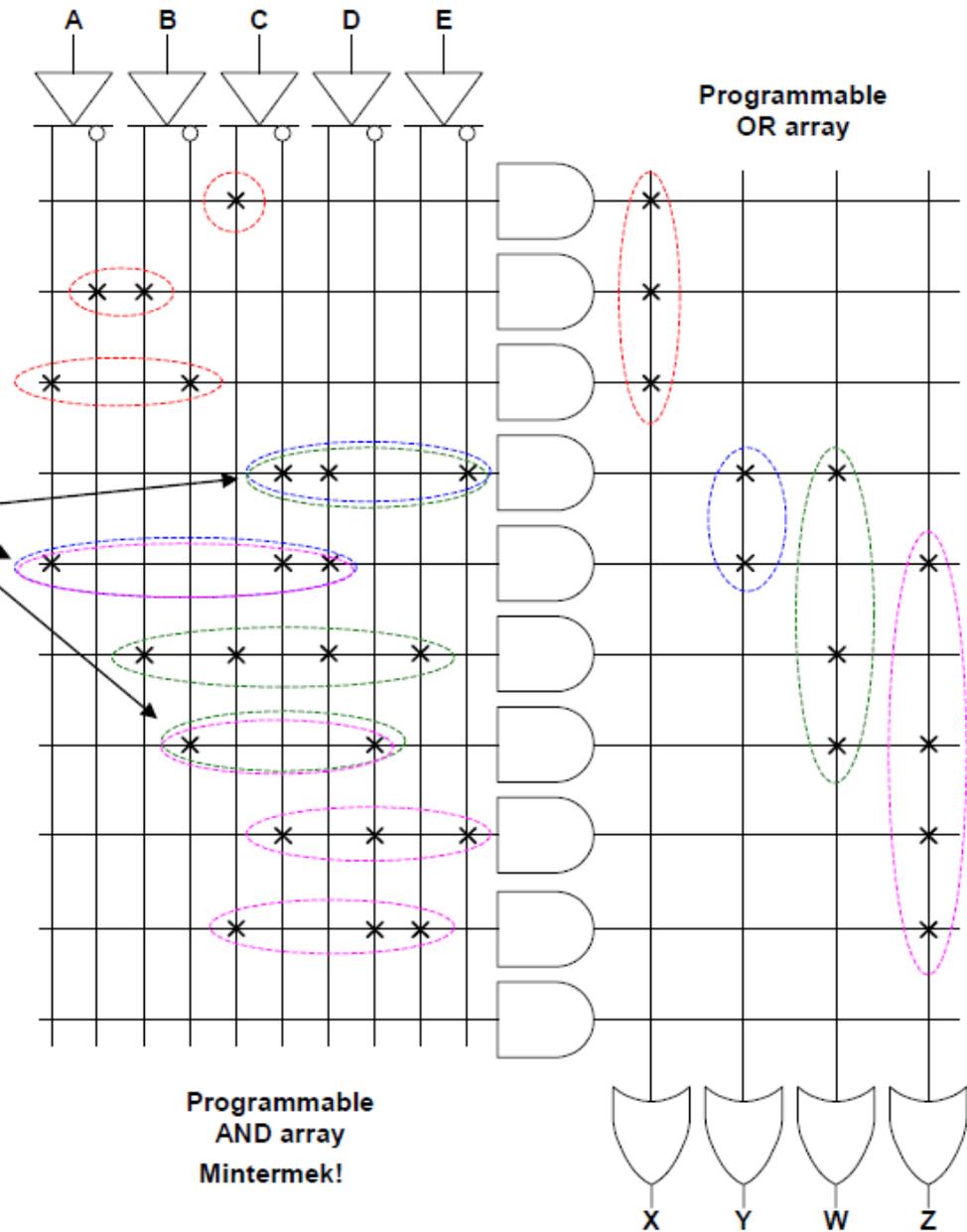
$$X = C + \bar{A} \cdot B + A \cdot \bar{B}$$

$$Y = \bar{C} \cdot D \cdot \bar{E} + A \cdot \bar{C} \cdot D$$

$$W = \bar{C} \cdot D \cdot \bar{E} + B \cdot C \cdot D \cdot E + \bar{B} \cdot \bar{D}$$

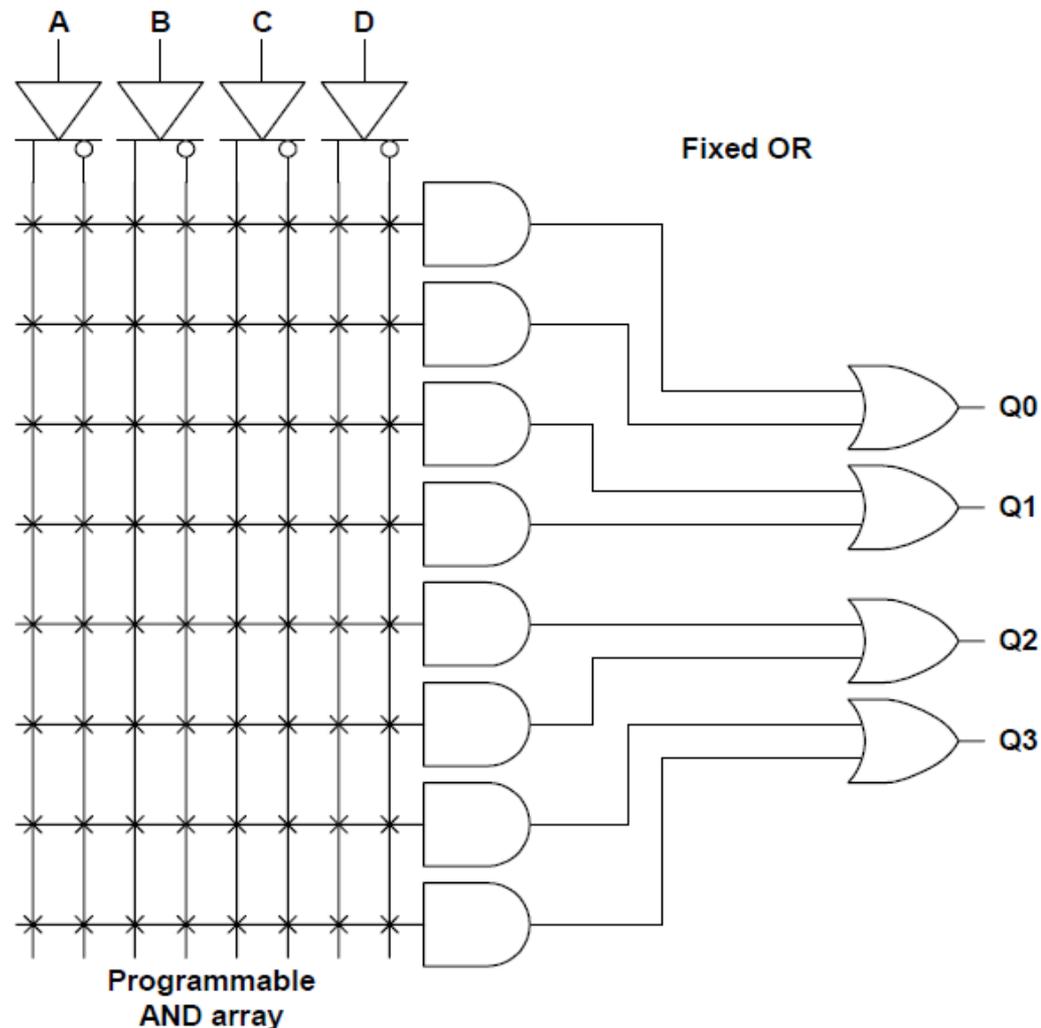
$$Z = A \cdot \bar{C} \cdot D + \bar{B} \cdot \bar{D} + \bar{C} \cdot \bar{D} \cdot \bar{E} + C \cdot \bar{D} \cdot E$$

Közös termek!



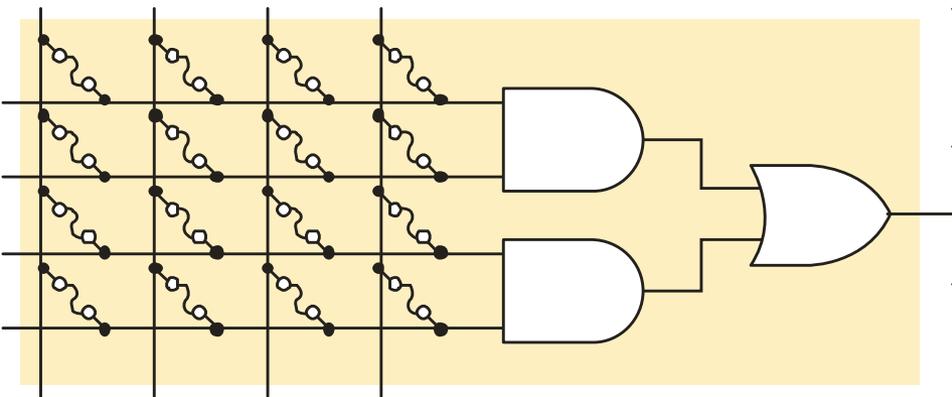
Programmable AND Logic (PAL)

- Egy programozható rész - AND / míg az OR fix
- Véges kombinációja áll elő az AND / OR kapcsolatoknak
- Metszéspontokban kevesebb kapcsoló szükséges
- Gyorsabb, mint a PLA
- Q_n kimeneteken D tárolók (visszacsatolódhatnak a bemenetekre)

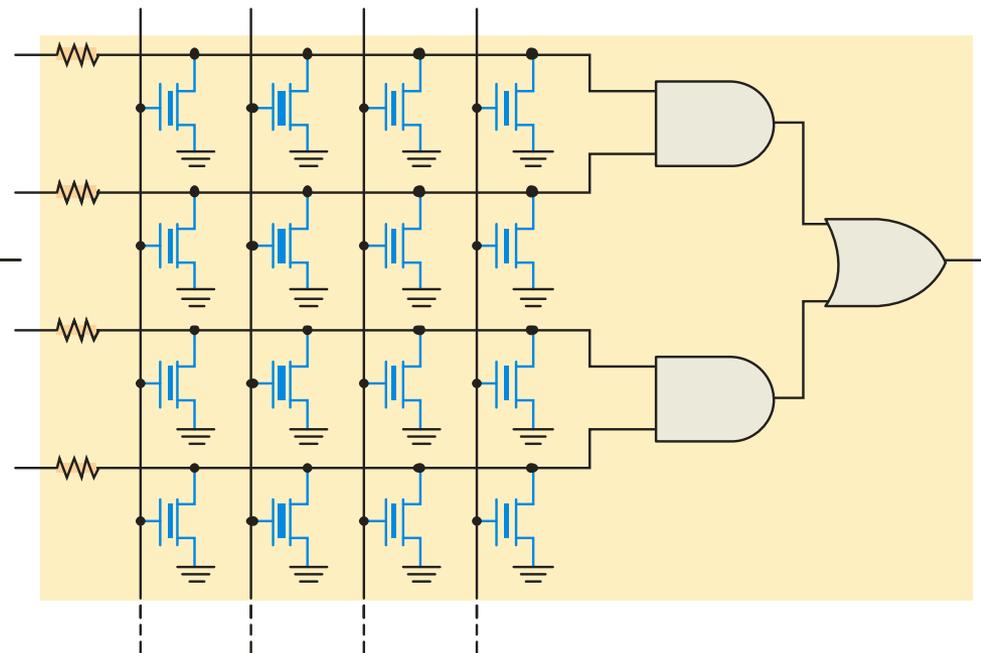


PAL és GAL áramkörök

A PAL - biztosíték átégetése, csak egyszer lehetséges,



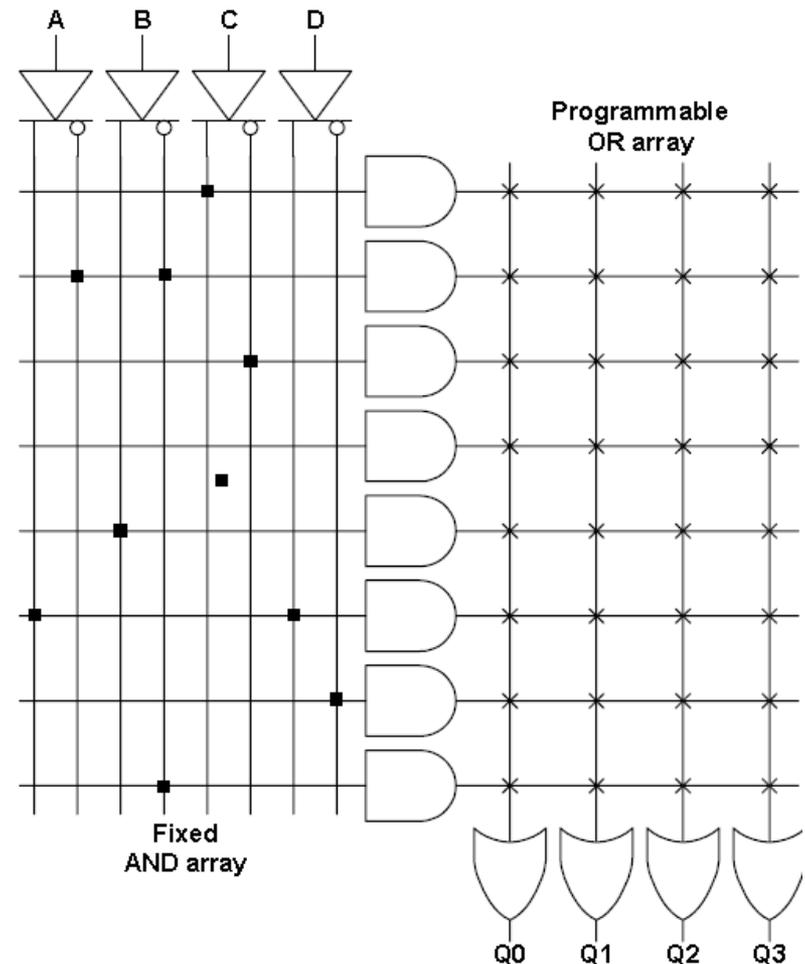
A GAL (Generic Array Logic) újraprogramozható



Programmable Read Only Memory

(PROM)

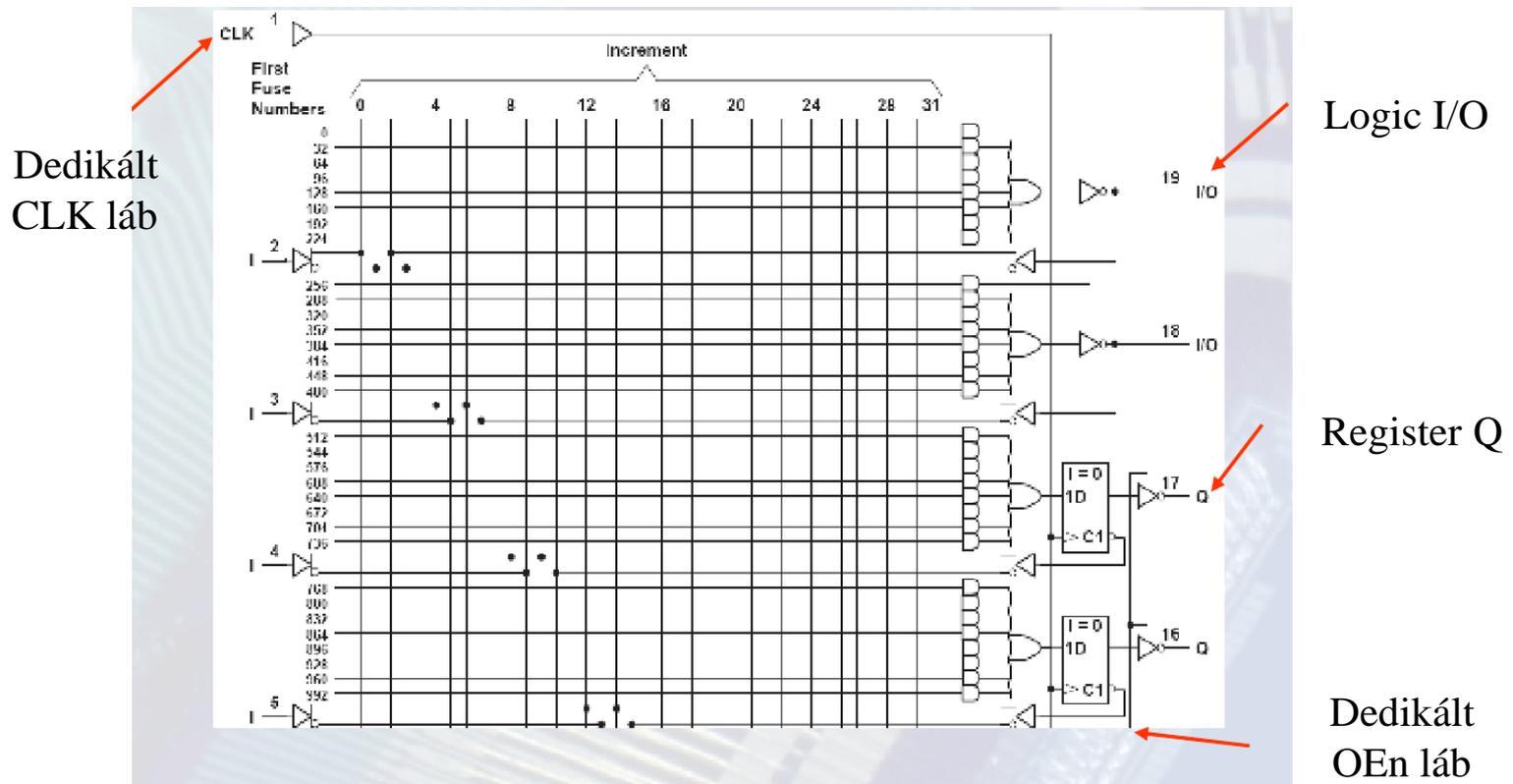
- Egy programozható rész - OR / míg az AND fix
- Véges kombinációja áll elő az AND / OR kapcsolatoknak
- Metszéspontokban kevesebb kapcsoló szükséges
- Gyorsabb, mint a PLA
- Q_n kimeneteken D tárolók! (visszacsatolódhatnak a bemenetekre)



x: programozható

Egyszerű PLD eszközök

- PAL áramkörök felépítése (részlet PAL16xx)



Komplex programozható eszközök

- **80-as évek közepén**

- Felhasználói igények

- nagyobb logikai és interfész kapacitás

- Technológiai lehetőségek

- Integráltság növelhető

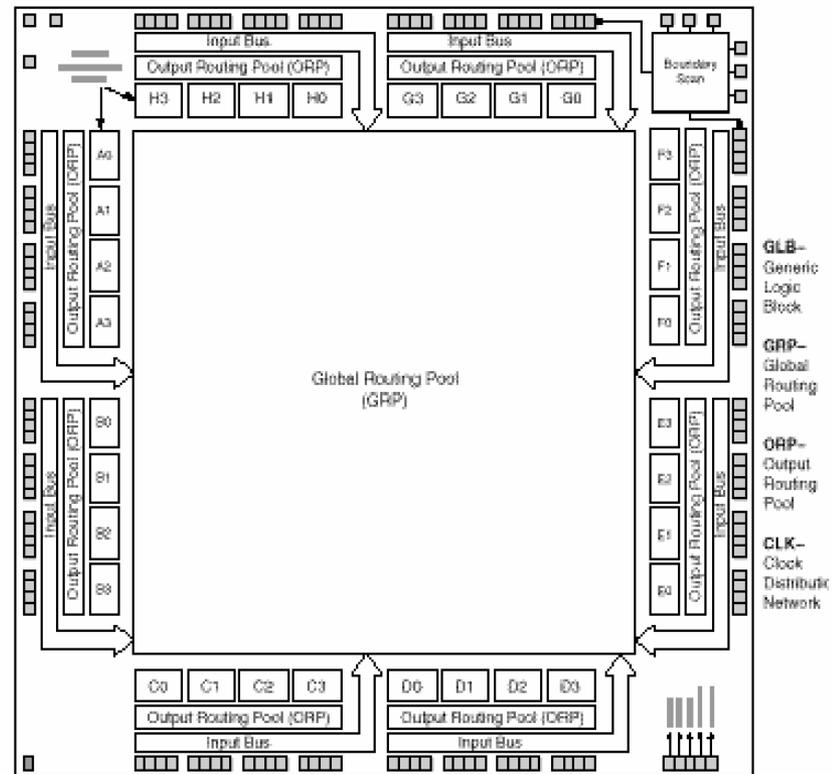
- **Két megközelítés**

- Programozhatóság → Komplexitás CPLD

- Komplexitás → Programozhatóság FPGA

Programozhatóság → Komplexitás

- CPLD/MEGAPAL eszközök
- A meglévő struktúra skálázása
- Egyszerű megoldás
- Blokkos felépítés
- Egyszintű/kétszintű huzalozás
- Determinisztikus időzítés



CPLD eszközök

- **Kiváló kiegészítő/illesztő logika**
 - Kis tokozás
 - Flexibilis I/O kiosztás
 - I/O lábak függetlenítése, többszörös VIO
 - Sokszor 5V toleráns
 - Működés közbeni csatlakoztathatóság
- **Kedvező fogyasztás**
 - Igazi CMOS, minimális statikus áram
 - Órajel felező/duplázó
 - Bemenetek leválaszthatóak, kimenet tart

CPLD eszközök (spec)

- **Technológia**

- Flash vagy EEPROM
- Áramkörön belüli programozhatóság

- **Fontosabb gyártók**

- Altera
- Lattice
- Xilinx

- **Megjegyzés:**

- Altera MAXII
 - Valójában nem CPLD, hanem egyszerűsített FPGA struktúra kétszintű huzalozással
 - Belső flash a konfiguráció tárolásához, SRAM logikai cellákkal

FPGA

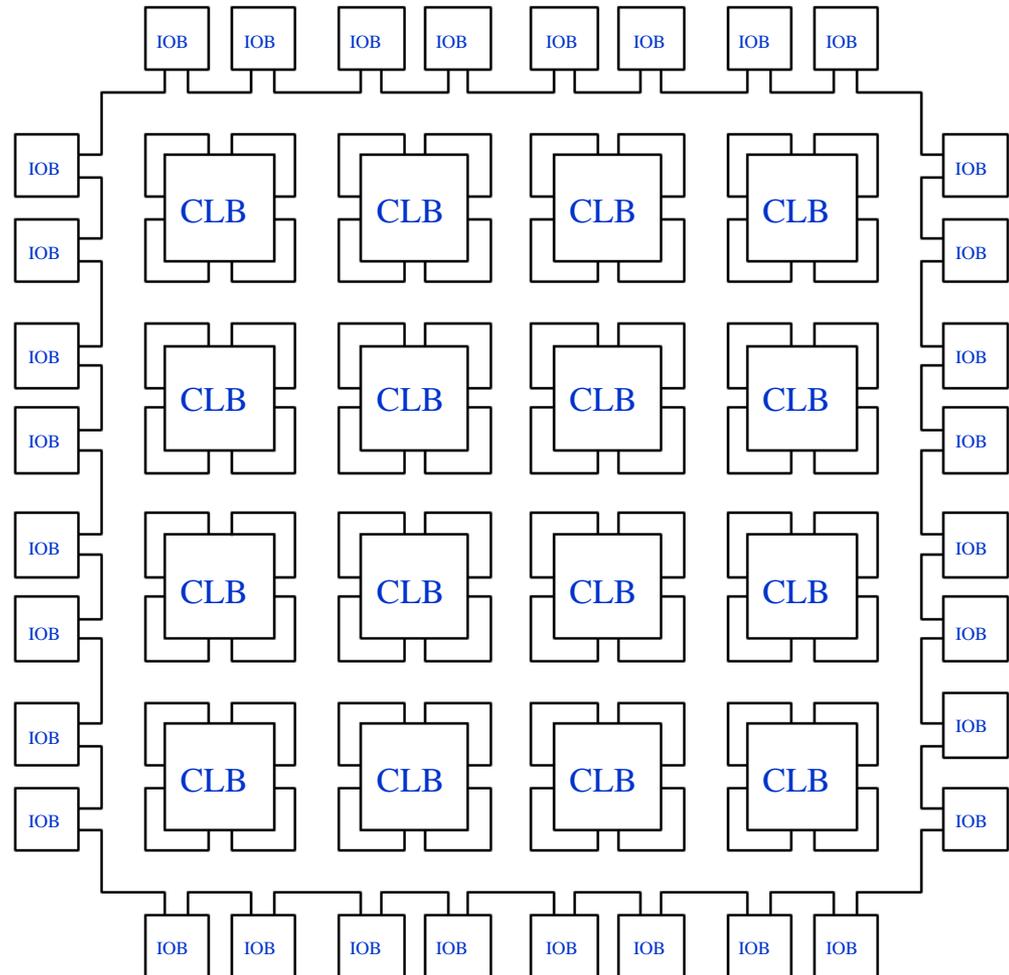
- **Field Programmable Gate Array** = „Felhasználó által programozható kapuáramkörök ” (tetszőlegesen/többször)
 - 1984 Xilinx megalapítása
 - Ross Freeman feltaláló
 - Bernie Vonderschmitt „fabless company idea”
 - Jim Barnett
 - **1985 XC2064**
 - 64 logikai cella
 - LUT + DFF
 - ~50 I/O
 - 5V, 50MHz „toggle rate”



FPGA

- Konfigurálható Logikai Blokk (CLB)
 - Look-up table (LUT)
 - Regiszter
 - Logikai áramkörök
 - Összeadók (Adder)
- Programozható összeköttetés hálózat
- Input/Output Block (IOB)

- Szorzók (Multiplier)
- Memóriák (Memory)
- Beágyazott Microprocessor(ok)



Xilinx FPGA családok

■ Nagy teljesítmény

- Virtex (1998)
 - 50K-1M gates, 0.22µm
- Virtex-E/EM (1999)
 - 50K-4M gates, 0.18µm
- Virtex-II (1999)
 - 40K-8M gates, 0.15µm
- Virtex-II Pro/X (2002)
 - 50K-10M gates, 0.13µm
- Virtex-4 (2004) [LX, FX, SX]
 - 50K-10M gates, 90nm
- Virtex-5 (2006) [LX, LXT, SXT]
 - 65nm
- Virtex-5 FXT, TXT (2008)
 - 65nm
- Virtex-6 LXT, SXT (2009)
 - 40nm
- **Virtex-7**
 - 28nm

■ Alacsony költség

- Spartan-II (2000)
 - 15K-200K gates, 0.22µm
- Spartan-IIE (2001)
 - 50K-600K gates, 0.18µm
- Spartan-3 (2003)
 - 50K-5M gates, 90nm
- **Spartan-3E (2005)**
 - 100K-1.6M gates, 90nm
- Spartan-3AN (2006)
 - 50K-1.4M gates, 90nm
- Spartan-3A - DSP (2006)
 - 1.8M-3.4M gates, 90nm
- Spartan-6 LX, LXT (2009)
 - 45nm
- **Artix-7**
 - 28nm

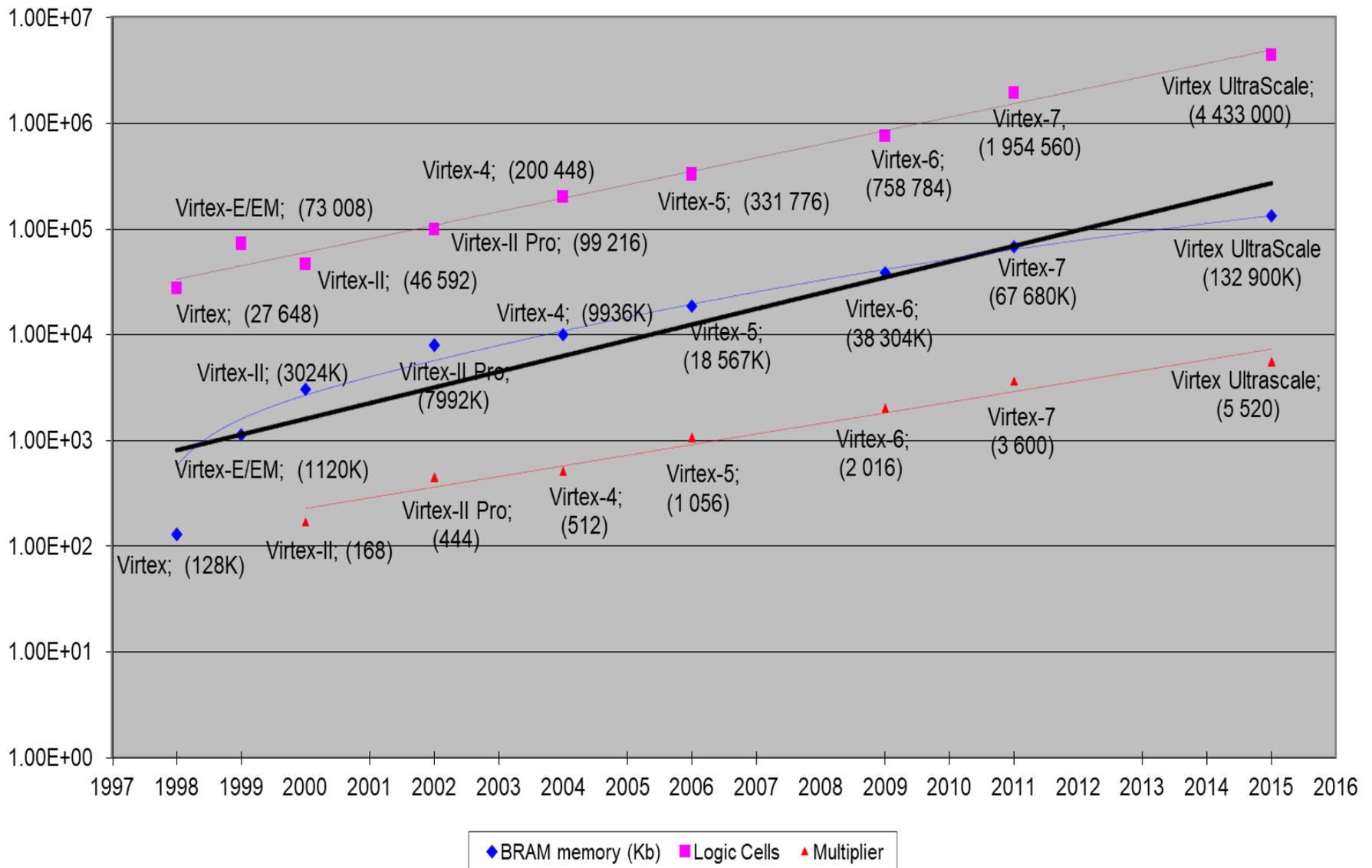
Zynq-7000 SoC (2012)
• 28nm

□ **Kintex-7**

- 28nm

Xilinx FPGA családok

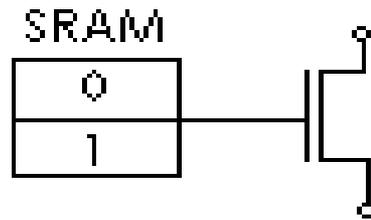
Technology	Low-cost	High-performance
220 nm		Virtex
180 nm	Spartan-II, Spartan-IIE	
120/150 nm		Virtex-II, Virtex-II Pro
90 nm	Spartan-3	Virtex-4
65 nm		Virtex-5
45 nm	Spartan-6	
40 nm		Virtex-6
28 nm	Artix-7	Virtex-7
20 nm		Virtex UltraSCALE
16 nm		Virtex UltraSCALE+



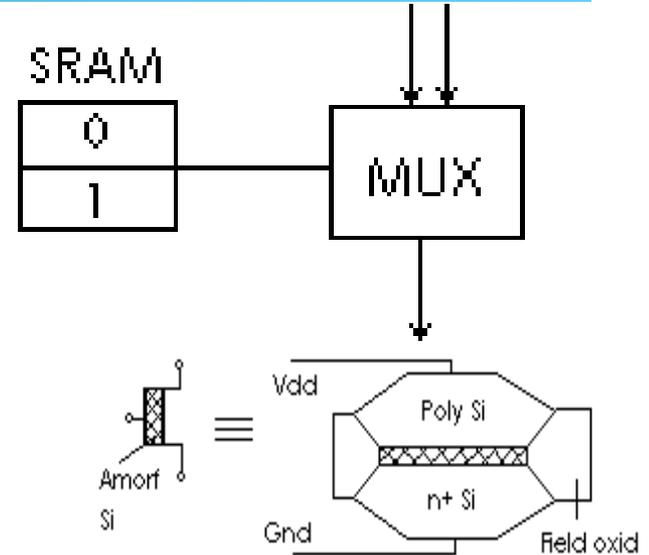
- Xilinx Virtex-7 2000T ~6.5 milliárd tranzisztor (2012 – 28nm), ~2 millió logikai cella.
- Xilinx Virtex-Ultrascale+ XCVU440 (2015 – 20nm->16nm) FPGA: ~20 milliárd tranzisztor - ~4.4 millió logikai cella! (~ 50 millió ekvivalens kapu)

Konfigurációs lehetőségek

a.) **SRAM**



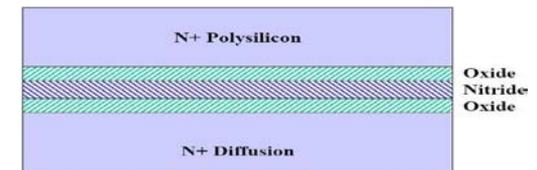
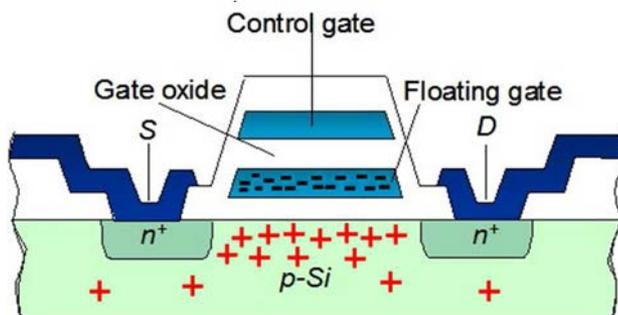
b.) **MUX**



c.) **Antifuse** – amorf Si kristály 20-30V polarizálásnál megkristályosodik és vezető lesz (OTP). Texas Instruments, Actel, QuickLogic

d.) **Floating Gate (lebegő kapu)**

e.) EPROM/EEPROM/Flash



SRAM FPGA

- A „hagyományos” FPGA megvalósítási elv
- A legáltalánosabb CMOS technológia
- Minden információ memória cellákban
 - Beolvasandó, betöltendő
- Előny:
 - Bármikor átprogramozható
 - Olcsó technológia
 - Mindig a legjobb felbontás
- Konfiguráció módosulhat
 - Koszmos sugárzás
 - SEU, egyedi változás (single event upset)

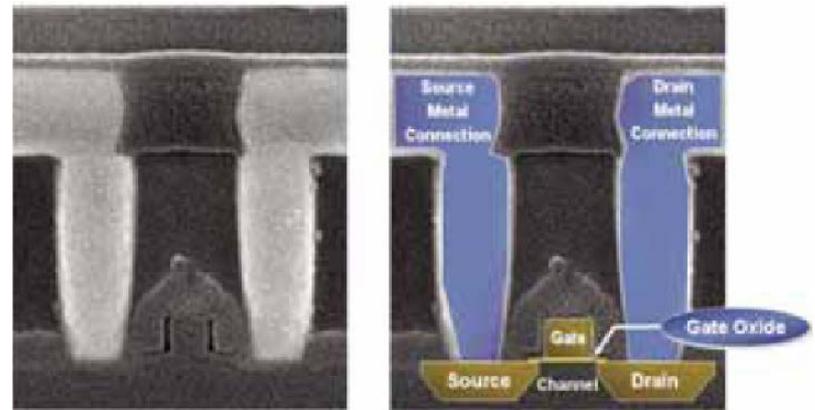
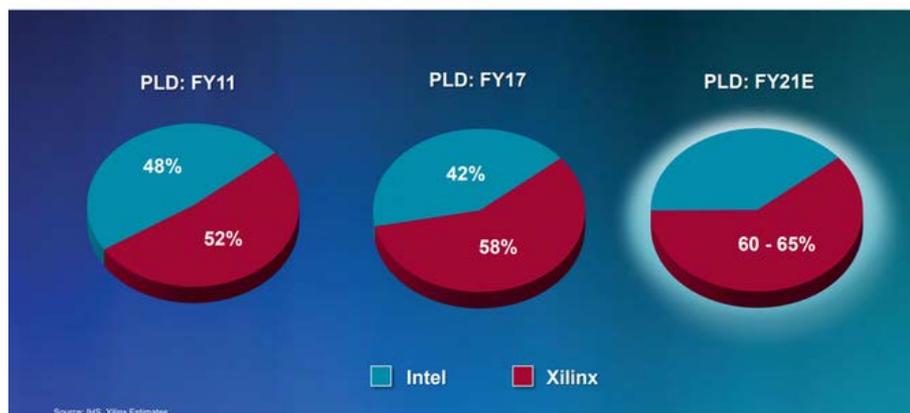


Figure 3a, 3b – Middle oxide thickness Virtex-4 transistor used in triple-oxide process and with highlighted portions of the transistors

Fontosabb FPGA gyártók

- Xilinx <http://www.xilinx.com>
- Altera <http://www.altera.com>
- Actel <http://www.actel.com>
- Lattice <http://www.latticesemi.com/>
- QuickLogic <http://www.quicklogic.com/>

PLD Market Share – Xilinx vs. Intel



Market Realist

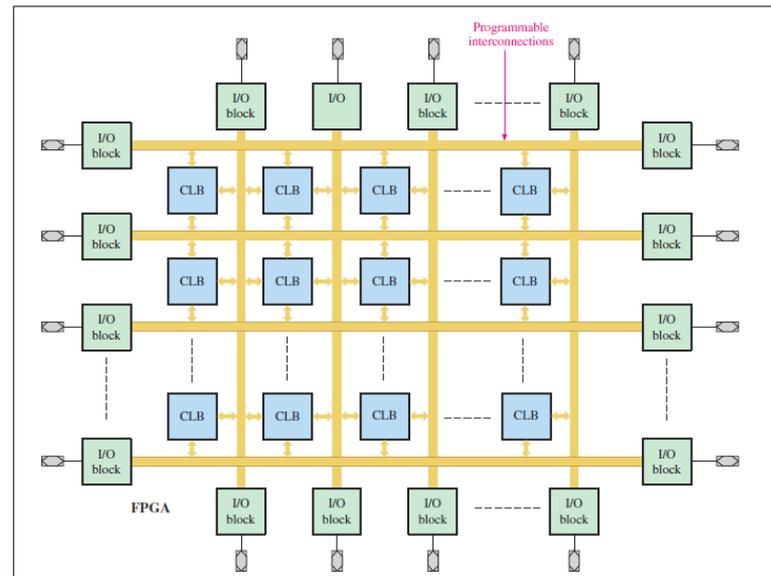
Source: Xilinx's Presentation

Vendor	2015		2016		
	FPGA Total	Market share	FPGA Total	Market share	Growth CY15-CY16
Xilinx	\$2,044	53%	\$2,167	53%	6%
Intel (Altera)	\$1,389	36%	\$1,486	36%	7%
Microsemi	\$301	8%	\$297	7%	-1%
Lattice	\$124	3%	\$144	3%	16%
QuickLogic	\$19	0%	\$11	0%	-40%
Others	\$2	0%	\$2	0%	0%
TOTAL	\$3,879	100%	\$4,112	100%	6%

FPGA felépítése

- **Egyszerű felépítés (felhasználói oldalról nézve)**

- Általános célú logikai elemek = **CLB** (Configurable logic block)
- Programozható huzalozás = **Programmable interconnect**
- Kivezetések = **IOB**
- **DCM**: Digital clock manager

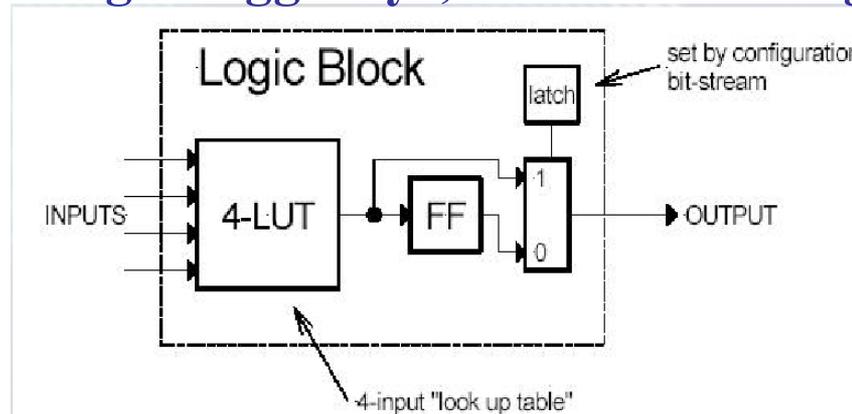


Dedikált erőforrások

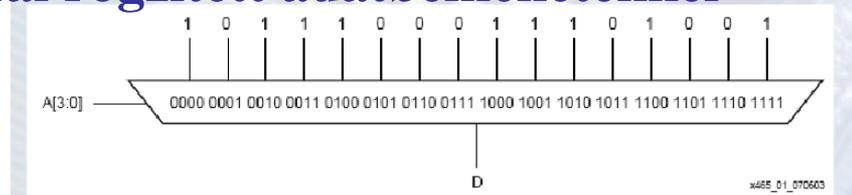
- **BRAM:** egy vagy két portós memóriák: ($\sim \times 100\text{Kbyte}$ – $\sim \times 10\text{Mbyte}$), Blokk-RAM = 18K / 36 Kbites
- **MULT** vagy **DSP:** dedikált szorzók vagy DSP MAC (szorzás és összeadás), (kivonás) logikai műveletek.
- **Beágyazott Microprocessor(ok):**
 - *Soft-processzorok*
 - Példák: *Xilinx PicoBlaze, Xilinx MicroBlaze, Altera Nios II, etc.*
 - Integrált hardware processzorok (*hard-processor*)
 - Példák: *IBM PowerPC 405/450 (Xilinx Virtex 2 Pro, Virtex-4 FXT, Virtex-5 FXT), ARM Cortex-A9 (Xilinx Zynq, illetve Altera Cyclone V SoC, Arria V SoC, MicroSemi Smartfusion-1,-2 FPGA chipjei), etc.*

Logikai cella példák

- Közepes granularitású SRAM LUT cellák
- LUT = Look Up Table = memória
- 4 változó tetszőleges függvénye, táblázat a konfigurációból



- A LUT4 tekinthető egy MUX16-nak is, a konfigurációs program által rögzített adatbemenetekkel



Logikai cella problémák

- **SRAM technológia**
 - Kezdetben volt a CLB Configurable Logic Block
 - XC2000 1 LUT + 1FF
- **Megjelent a LE/LC elnevezés Logic Element/Logic Cell**
 - Ez maradhatna a legjobb referencia 1 LUT + 1FF
- **Kialakult a Slice 2 LUT + 2FF**
 - Mivel ma 1 CLB tartalmaz 2 db jobb és 2 db baloldali slice-ot (ezek nem teljesen azonosak), ezért a CLB kb. 8 LE komplexitású, 2x2x2, plusz a beépített

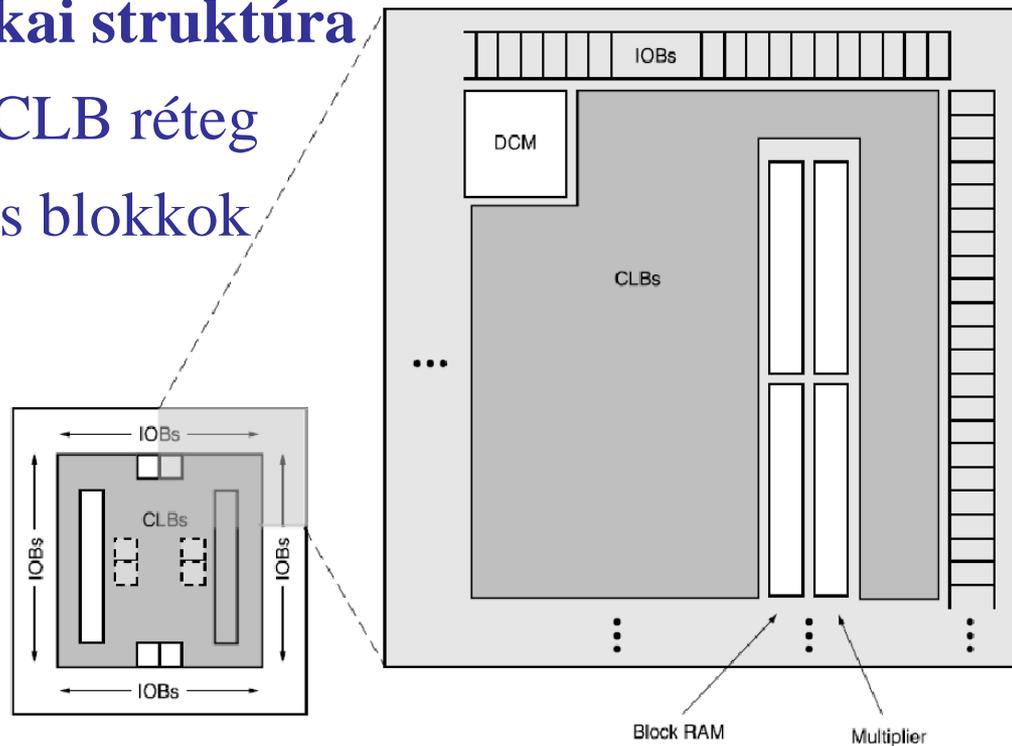
Device	System Gates	Equivalent Logic Cells	CLB Array (One CLB = Four Slices)				Distributed RAM bits ⁽¹⁾	Block RAM bits ⁽¹⁾	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs	Total Slices						
XC3S100E	100K	2,160	22	16	240	960	15K	72K	4	2	108	40
XC3S250E	250K	5,508	34	26	612	2,448	38K	216K	12	4	172	68
XC3S500E	500K	10,476	46	34	1,164	4,656	73K	360K	20	4	232	92
XC3S1200E	1200K	19,512	60	46	2,168	8,672	136K	504K	28	8	304	124
XC3S1600E	1600K	33,192	76	58	3,688	14,752	231K	648K	36	8	376	156

FPGA belső felépítés

- **SRAM FPGA mindig LUT alapú**
- **A LUT egy 1 bit széles memória**
- **Mélysége (címvonalak száma) változó**
 - Korai elemzések alapján a 4 bit tűnt optimálisnak
 - Kompromisszum a huzalozás és granularitás között
 - Egy logikai egység 2 – 4 LUT „közelségére” épít
 - Lokális belső kapcsolatok a késleltetést csökkentik
 - Legújabb irányzat a drágább termékvonalban
 - alapelem mérete x4, azaz LUT6

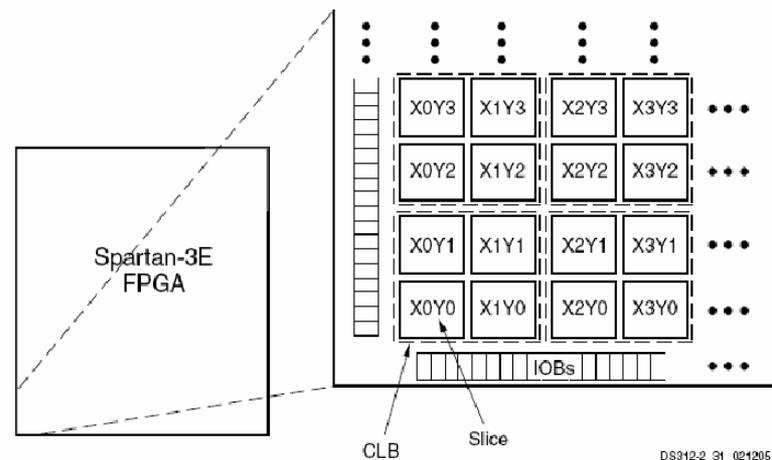
Példa eszköz: Xilinx Spartan3E

- Általános felépítés egyszerű
- Homogén logikai struktúra
 - Egyenletes CLB réteg
 - Funkcionális blokkok
 - BRAM
 - MULT
 - DCM
 - I/O gyűrű



A logikai elemek

- Enyhe aszimmetria a CLB felépítésben
- 1 CLB = 2 x 2 Szelet
- Bal és jobb szelet eltérő
 - Extra LUT módok
- Független függőleges kapcsolatok



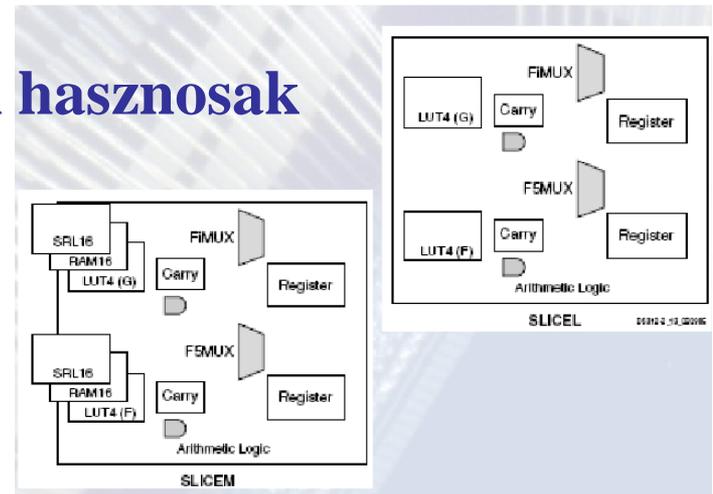
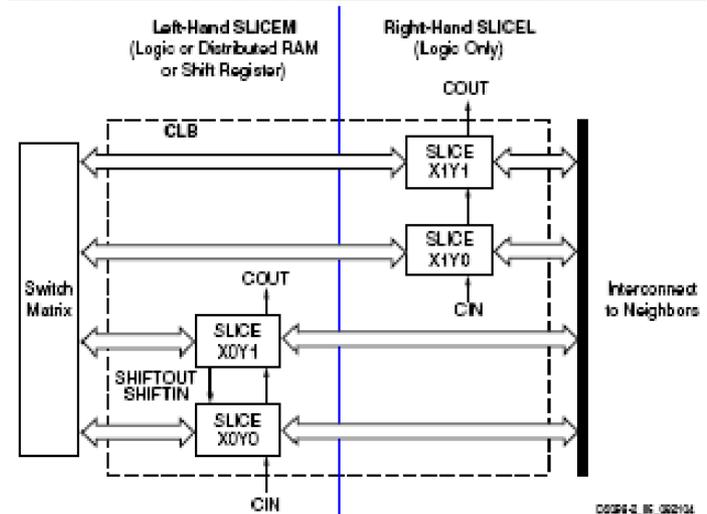
- speciális logika
- aritmetika

Device	CLB Rows	CLB Columns	CLB Total ⁽¹⁾	Slices	LUTs / Flip-Flops	Equivalent Logic Cells	RAM16 / SPL16	Distributed RAM Bits
XC3S100E	22	16	240	960	1,920	2,160	960	15,360
XC3S250E	34	26	612	2,448	4,896	5,508	2,448	39,168
XC3S500E	46	34	1,164	4,656	9,312	10,476	4,656	74,496
XC3S1200E	60	46	2,168	8,672	17,344	19,512	8,672	138,752
XC3S1600E	76	58	3,688	14,752	29,504	33,192	14,752	236,032

DS912-2_01_021205

A CLB struktúra

- **Megosztott elrendezés**
- **„Független” belső blokkok**
- **Szemponatok nem ismertek**
 - 4 bit számláló/aritmetika
 - Kedvezőbb huzalozás?
- **Az extra memória funkciók hasznosak**
 - A konfigurációs memória részletei felhasználói memóriaként is elérhetők



A CLB erőforrása

- Az eredeti koncepció nem változott

- Az alap erőforrás az Logic Cell

$$\text{LC} = 1 \text{ LUT} + 1 \text{ FF}$$

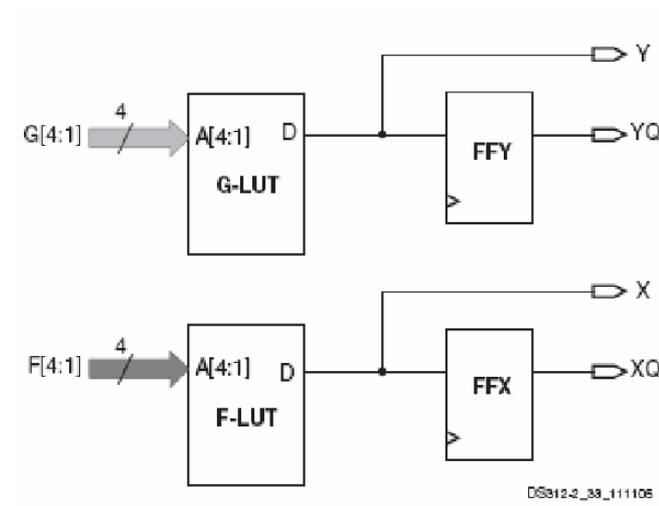
- LUT4

- tetszőleges 4 változós fgv.
- 1 változóra hazardmentes
- Működési idő bemenet és logikai komplexitás invariáns

- DFF

- Élvezérelt, $\uparrow\downarrow$, órajel eng.
- Szink/Aszink. SET/RESET

- Független kombinációs és regiszteres kimenet



Dedikált CLB erőforrások

- **Az egységes alapkoncepció finomítása**

- A LUT4 természetesen mindenre jó, de

- A sokváltozós logikai függvények, a legegyszerűbbek is túl sok szintet igényelnek → lassú
 - Az aritmetikai műveletekben kell átvitel jel. Ez egy fontos, de csak belül szükséges, időkritikus jel. LUT4 alapon 100% redundancia lép fel (3 bemeneti jel 2 függvénye)
 - Hagyományos tömbszorzónál egy-egy szinten kell lokális bitszorzat (AND2) és összeadás a részsorzatokhoz

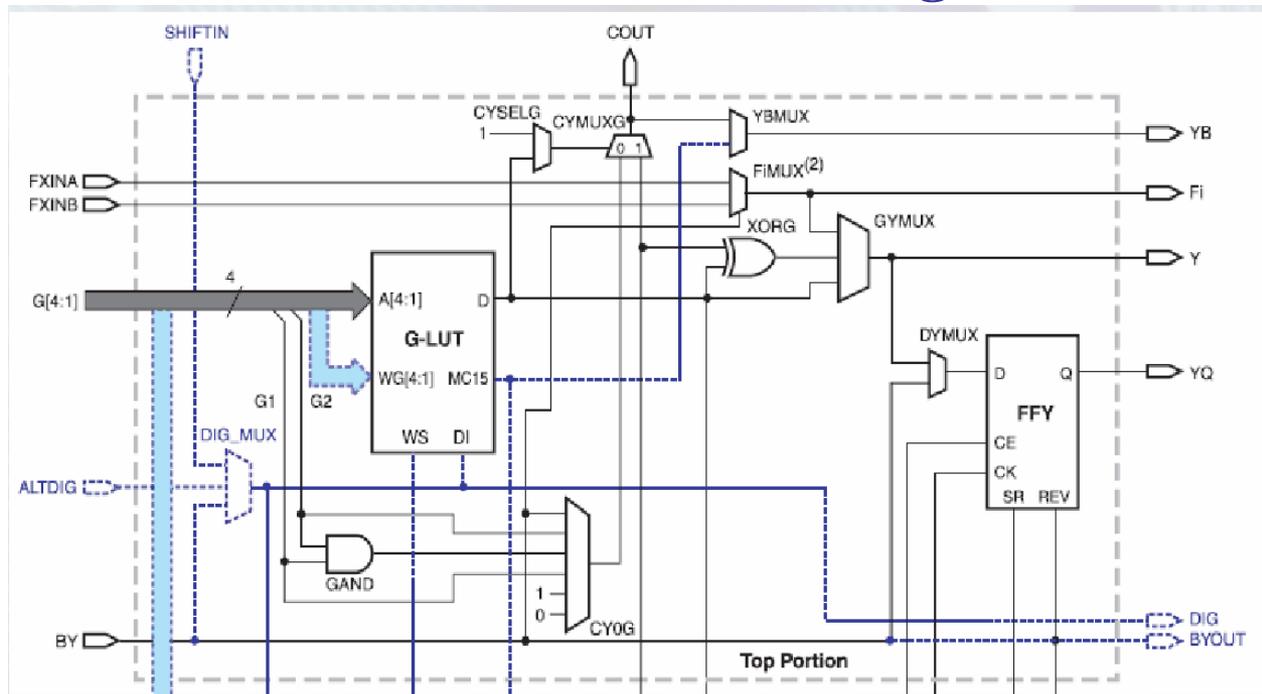
Logika cella felépítése

- **Összegzés**

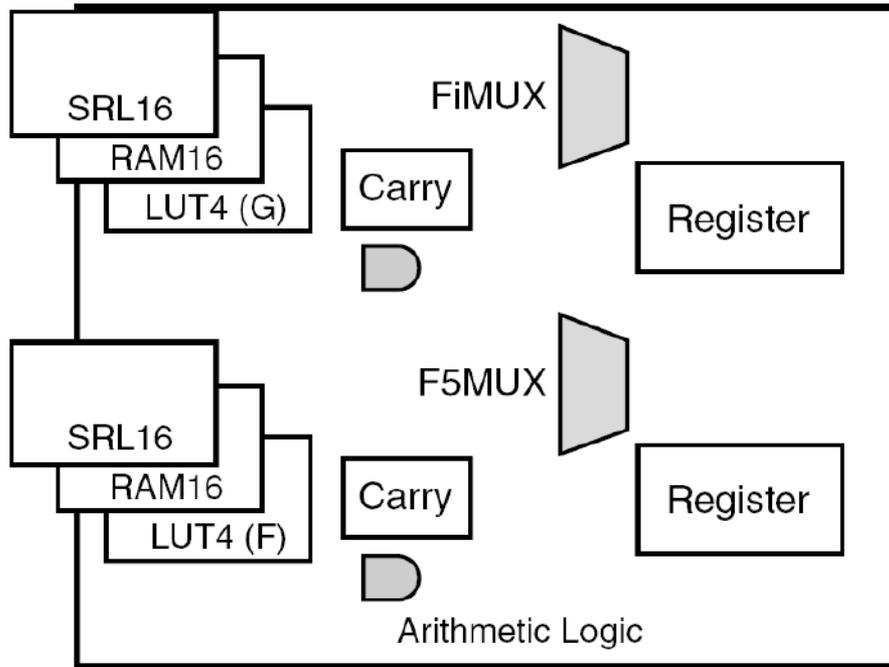
- A cella felépítés alapjaiban egyszerű
- Tartalmaz persze sok kiegészítést
- Belső kapuk, erőforrások
 - Lokális kapcsolatokhoz
 - Független LUT / FF használathoz
 - Speciális logikákhoz
 - Sok bemenetű dekóder
 - Sok bemenetű multiplexer
 - Aritmetikai kiegészítés

Logikai cella felépítése

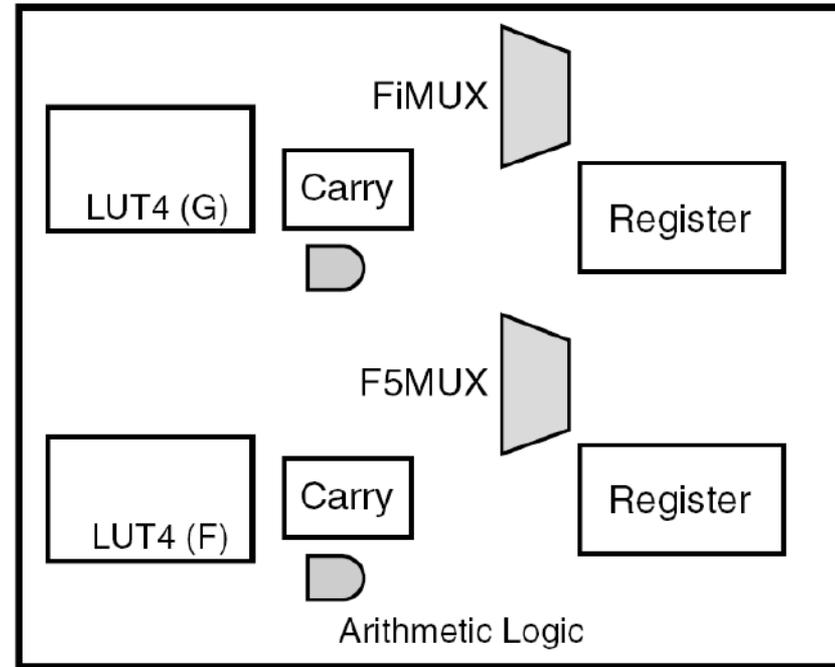
- Xilinx XC3S250E SliceM felső Logikai Cella



Milyen erőforrások vannak egy Slice-ban



SLICEM



SLICEL

DS312-2_13_020905

M: Slice can be configured for Memory (Logic, Distributed RAM, Shift Register)

L: Slice only for Logic

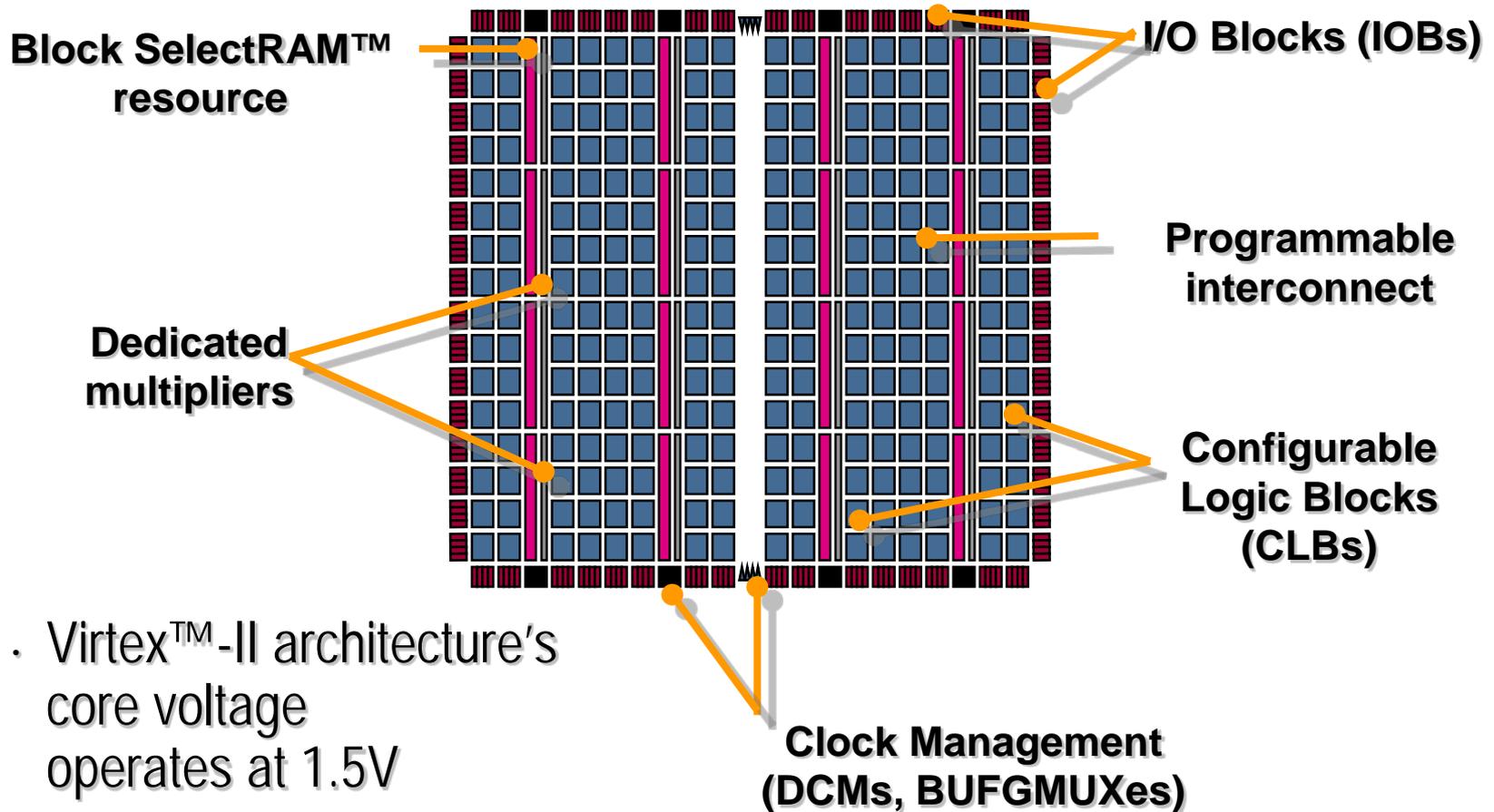
Összefoglalás

- **Komplex rendszerek tervezéséhez különböző eszközeink vannak, ezek egyike az FPGA**
- **Közepes, vagy kis sorozatoknál nem gazdaságos egyedi ASIC fejlesztése (idő, pénz, munka)**
- **FPGA-k rugalmasan alkalmazhatók, gyors tervezés, megvalósítás, módosíthatóság,**
- **Egyedi előnyök, alkalmazásfüggő specialitások**
 - Nagy komplexitás
 - Nagy sebesség
 - Kis fogyasztás

} **NEM EGYSZERRE!**

Virtex-II Architecture

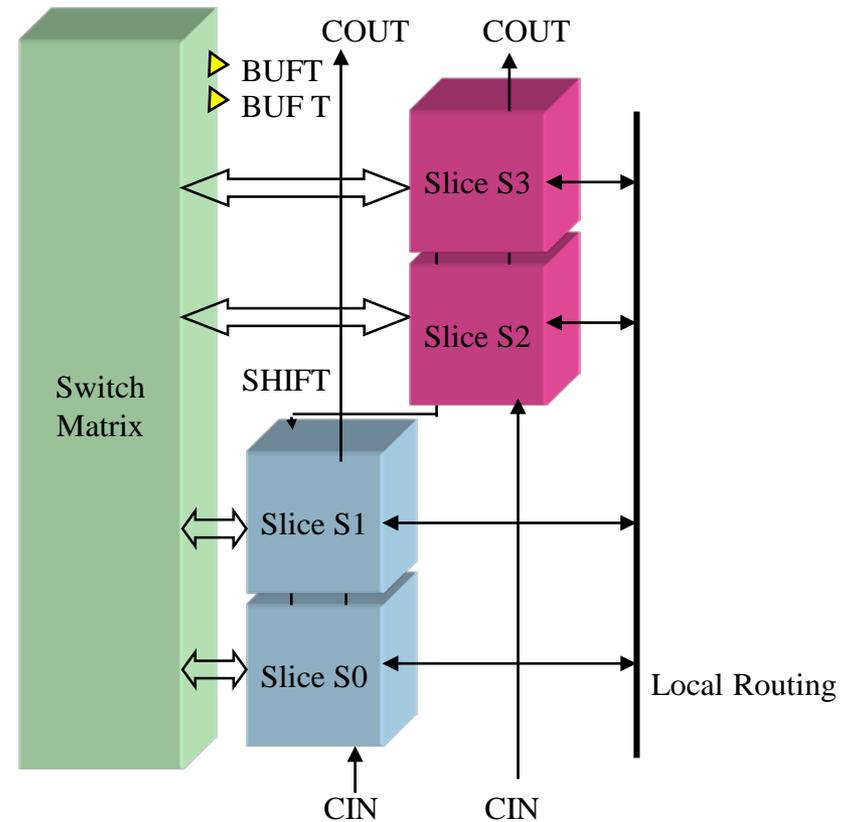
First FPGA Device to include embedded multipliers



Basic Building Block

Configurable Logic block

- Slices contain logic resources and are arranged in two columns
- A switch matrix provides access to general routing resources
- Local routing provides connection between slices in the same CLB, and it provides routing to neighboring CLBs

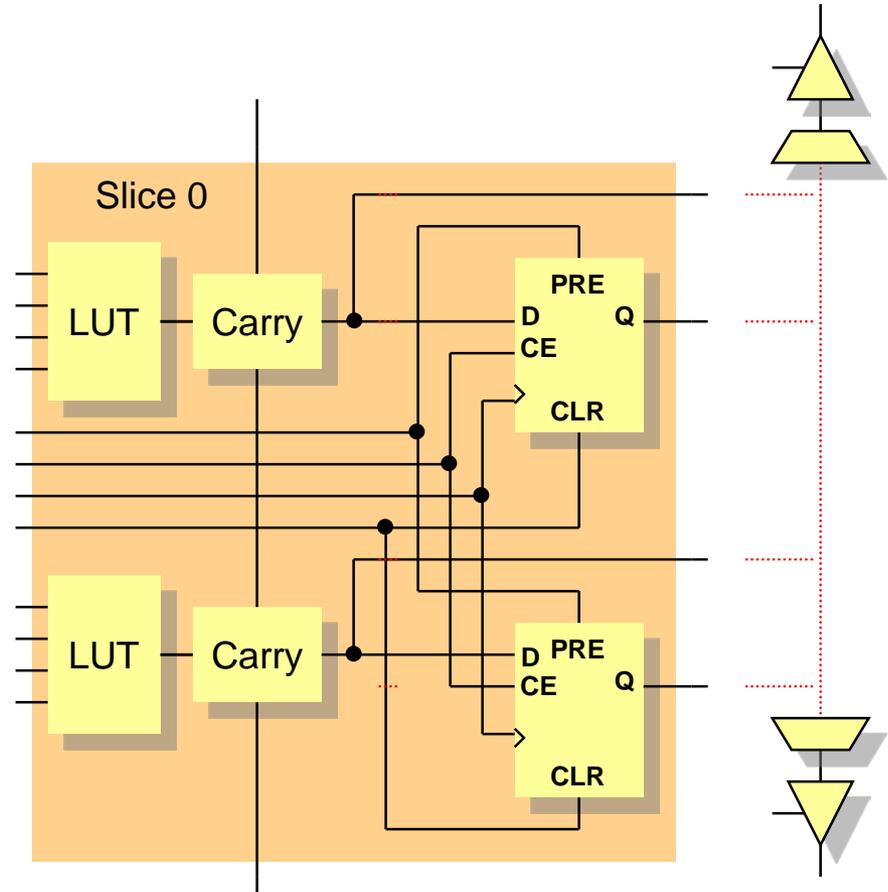


Virtex-II CLB contains four slices

Basic Building Blocks

Simplified Slice Structure

- Each slice has four outputs
 - Two registered outputs, two non-registered outputs
 - Two BUFTs associated with each CLB, accessible by all 16 CLB outputs
- Carry logic runs vertically, up only
 - Two independent carry chains per CLB

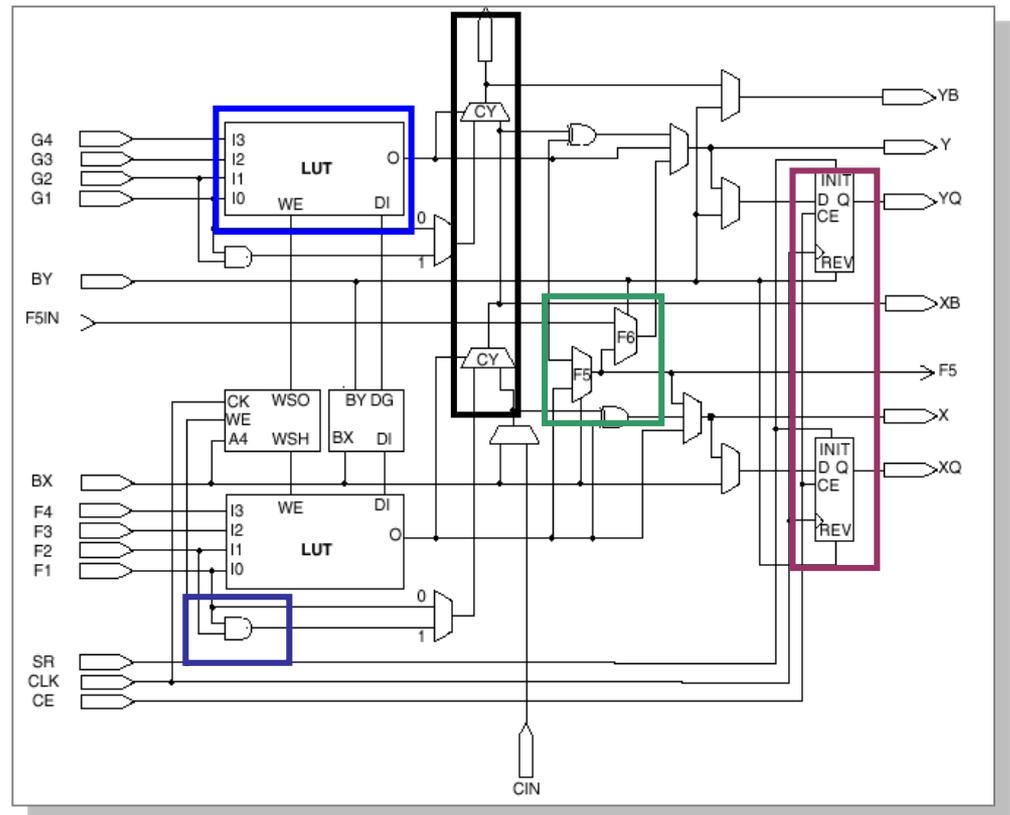


The Slice

Detailed Structure

• The next few slides discuss the slice features

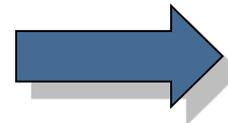
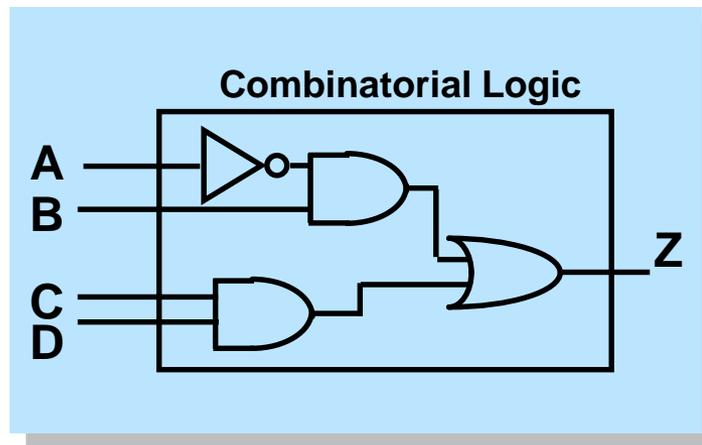
- LUTs
- MUXF5, MUXF6, MUXF7, MUXF8 (only the F5 and F6 MUX are shown in this diagram)
- Carry Logic
- MULT_ANDs
- Sequential Elements



Combinatorial logic

Boolean logic is stored in Look-Up Tables (LUTs)

- Also called Function Generators (FGs)
- Capacity is limited by the number of inputs, not by the complexity
- Delay through the LUT is constant

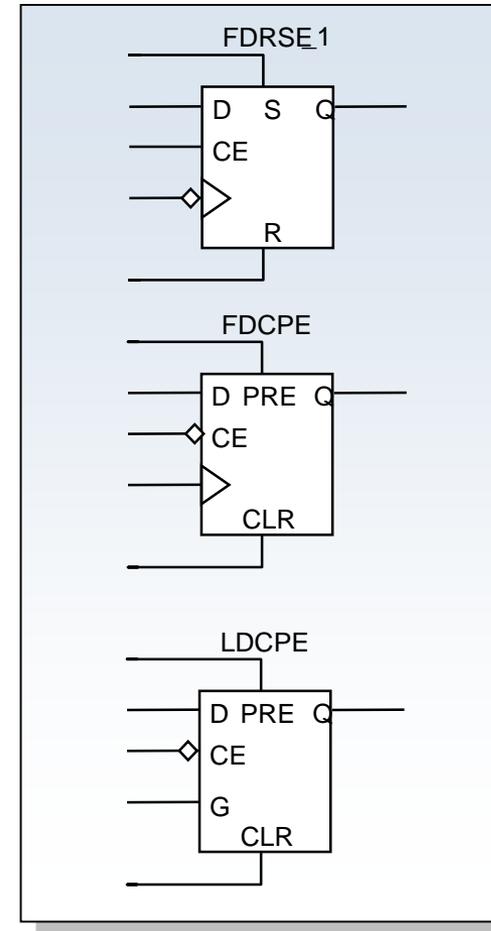


A	B	C	D	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
.
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

Storage Elements

Can be implemented as either flip-flops or latches

- Two in each slice; eight in each CLB
- Inputs come from LUTs or from an independent CLB input
- Separate set and reset controls
 - Can be synchronous or asynchronous
- All controls are shared within a slice
 - Control signals can be inverted locally within a slice



Dedicated Logic

FPGAs contain built-in logic for speeding up logic operations and saving resources

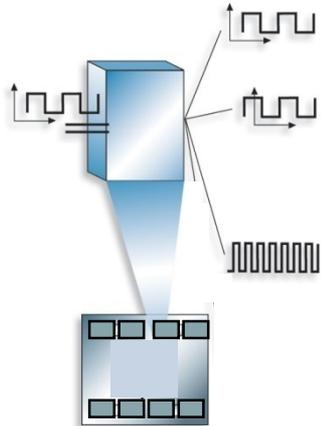
- Multiplexer Logic
 - Connect Slices and LUTs
- Carry Chains
 - Speed up arithmetic operations
- Multiplier AND gate
 - Speed up LUT-based multiplication
- Shift Register LUT
 - LUT-based shift register
- Embedded Multiplier
 - 18x18 Multiplier

The Spartan-3 Family

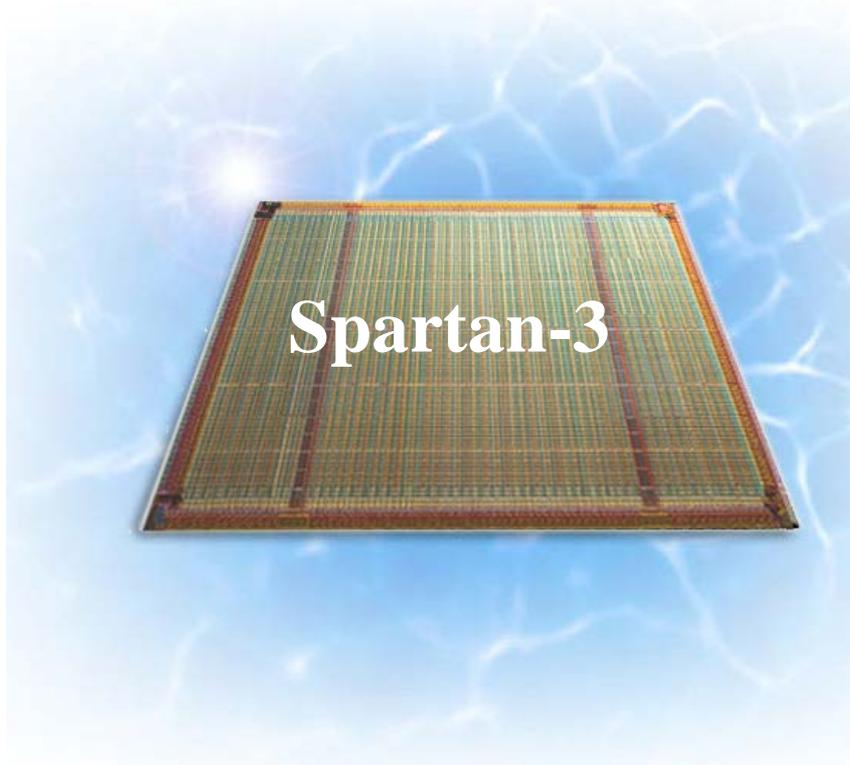
Built for high volume, low-cost applications



**18x18 bit Embedded
Pipelined Multipliers
for efficient DSP**



**Up to eight on-chip
Digital Clock Managers
to support multiple
system clocks**



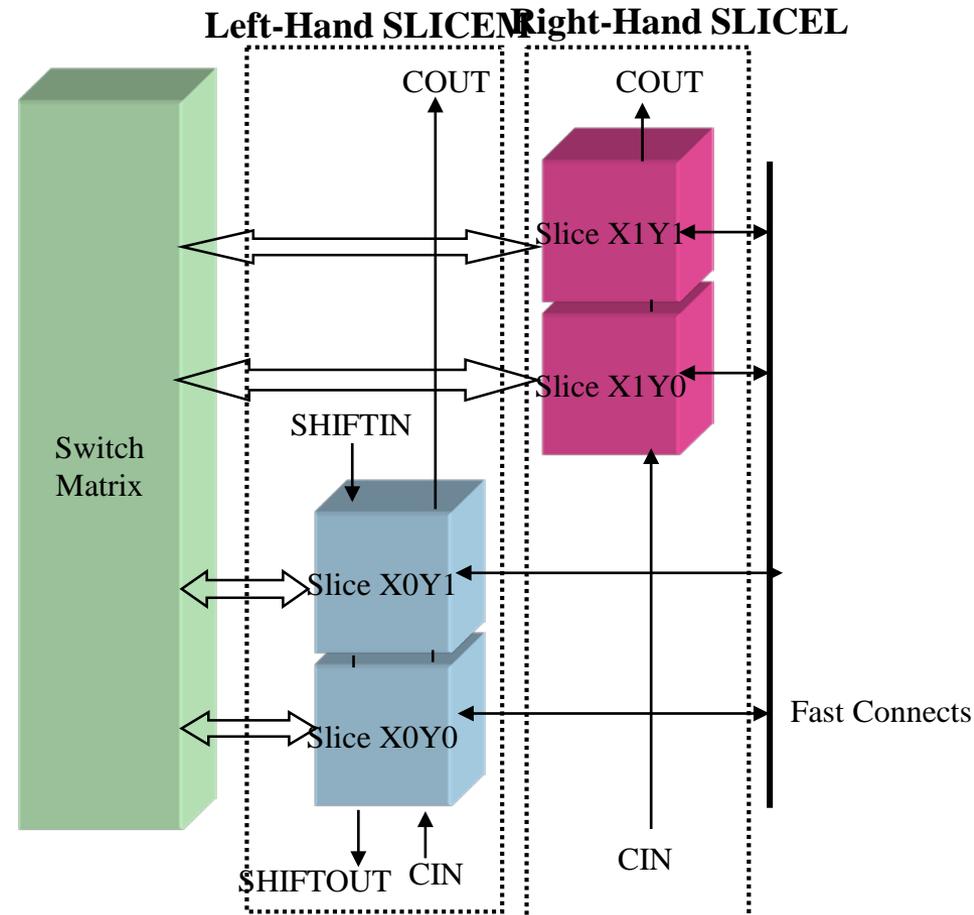
**Configurable 18K Block
RAMs + Distributed RAM**



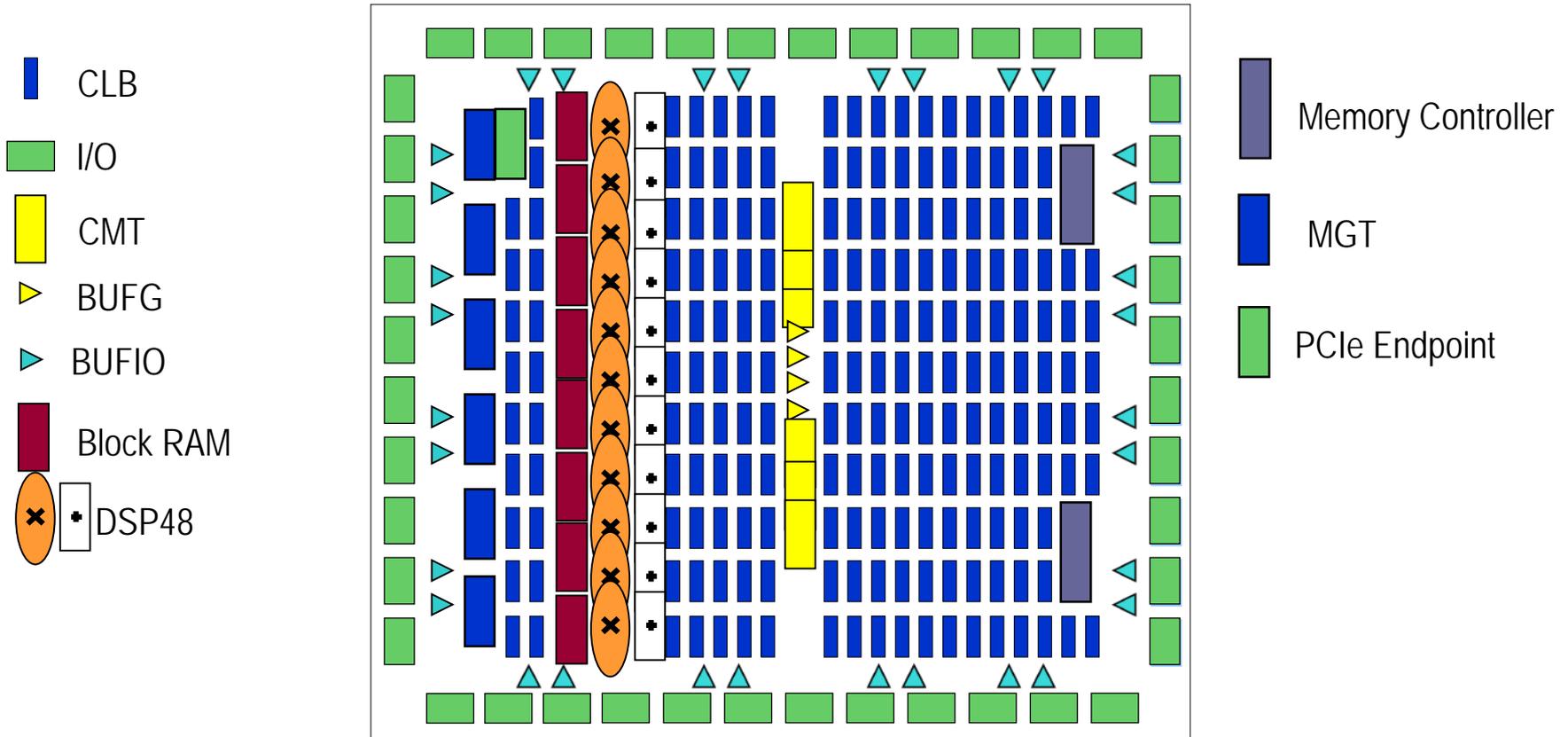
**4 I/O Banks,
Support for
all I/O Standards
including
PCI, DDR333,
RSDS, mini-LVDS**

SLICEM and SLICEL

- Each Spartan™-3 CLB contains four slices
 - Similar to the Virtex™-II
- Slices are grouped in pairs
 - Left-hand SLICEM (Memory)
 - LUTs can be configured as memory or SRL16
 - Right-hand SLICEL (Logic)
 - LUT can be used as logic only



Spartan-6 FPGA



Spartan-6 Lowest Total Power

- 45 nm technology
- Static power reductions
 - Process & architectural innovations
- Dynamic power reduction
 - Lower node capacitance & architectural innovations
- More hard IP functionality
 - Integrated transceivers & other logic reduces power
 - Hard IP uses less current & power than soft IP
- Lower IO power
- Low power option -1L reduces power even further
- Fewer supply rails reduces power
- Two families: LX and LXT

Spartan-6 LX / LXT FPGAs

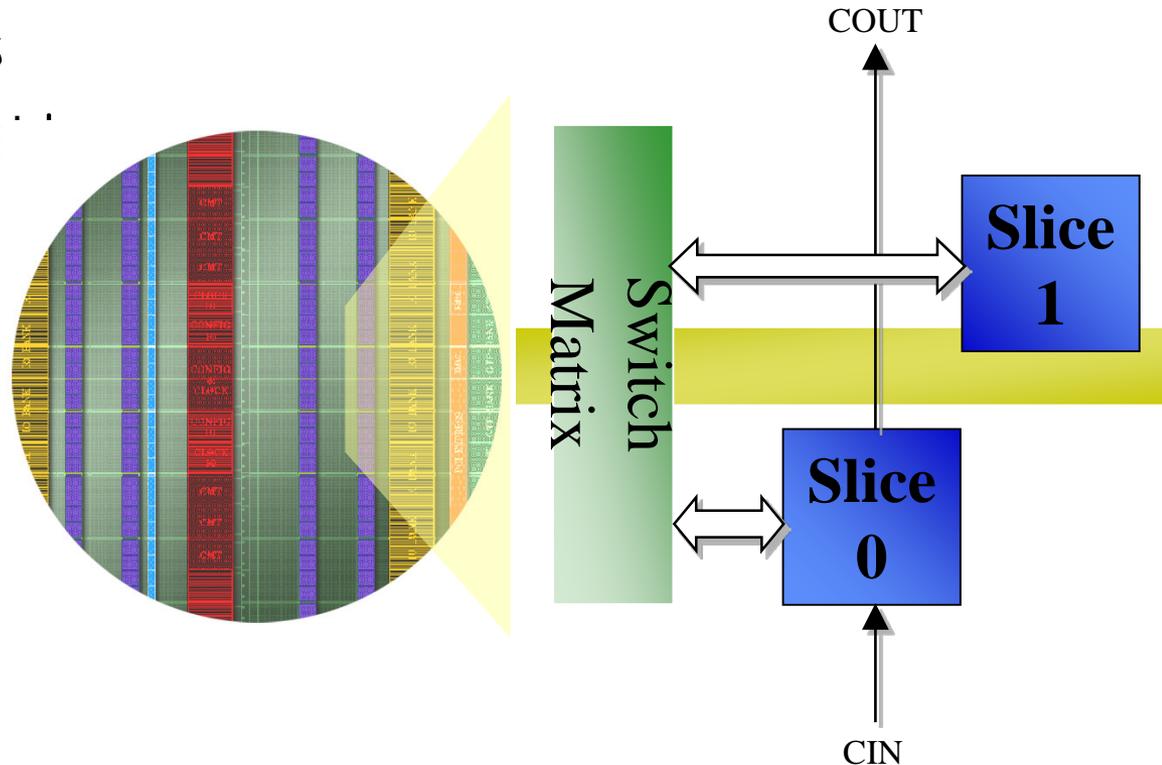
Part Number	LX4	LX9	LX16	LX25	LX45	LX100	LX150	LX25T	LX45T	LX100T	LX150T	
Logic Cells	3.4K	9K	15K	24K	43K	101K	147K	24K	43K	101K	147K	
CLB Flip-Flops	4.2K	11K	18K	30K	54K	126K	184K	28K	54K	126K	184K	
Maximum Distributed RAM (Kbits)	32	90	136	228	401	975	1,358	228	401	975	1,385	
Block RAM (18K bits each)	8	32	32	52	116	268	268	52	116	268	268	
Total Block RAM (Kbits)	144	576	576	936	2,088	4,824	4,824	936	2,088	4,824	4,824	
Clock Manager Tiles (CMT)	1	2	2	2	4	6	6	2	4	6	6	
DSP48A1 Slices	4	16	32	38	58	182	182	38	58	182	182	
PCI Express® Endpoint Block	—	—	—	—	—	—	—	1	1	1	1	
Memory Controller Blocks	0	2	2	2	2	4	4	2	2	4	4	
GTP Low-Power Transceivers	—	—	—	—	—	—	—	2	4	8	8	
Package	Area (Pitch)	Maximum User I/O: Select IO™ Interface Pins (GTP transceivers)										
TQG144	20 x 20 mm (0.5 mm)	100	100									
CSG225	13 x 13 mm (0.8 mm)	120	160	160	160							
FTG256	17 x 17 mm (1.0 mm)			186	186							
CSG324	15 x 15 mm (0.8 mm)		200	232	226			190 (2)	190 (4)			
FGG484	23 x 23 mm (1.0 mm)				264	319	341	341	250 (4)	296 (4)	296 (4)	296 (4)
FGG676	27 x 27 mm (1.0 mm)					370	498	498		370 (4)	396 (8)	396 (8)

* Preliminary product information, subject to change. Please contact your Xilinx representative for the latest information.

** All memory controller support x16 interface, except in CSG225 package where x8 only is supported.

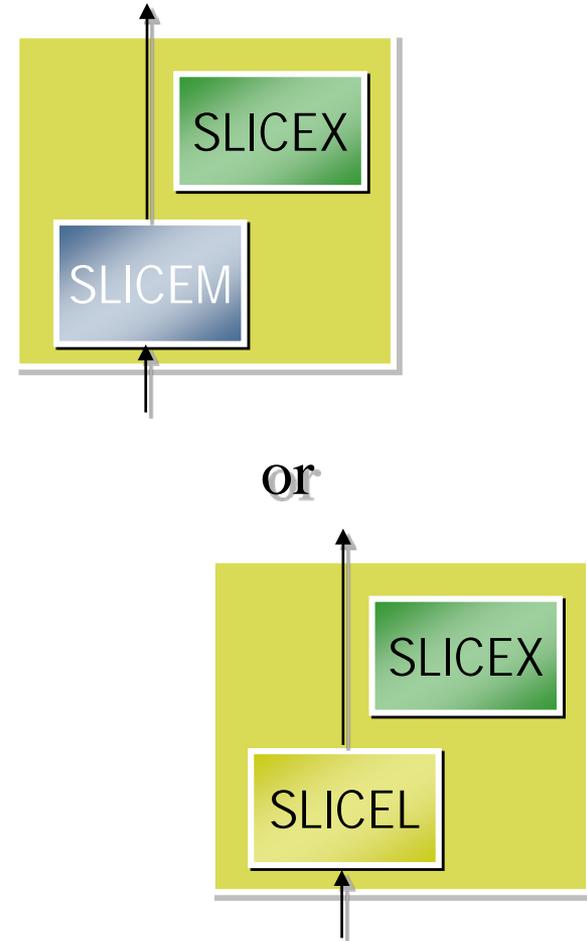
Spartan-6 FPGA CLB

- CLB contains two slices
- Connected to switch matrix for routing to other FPGA resources
- Carry chain runs vertically through Slice0 only



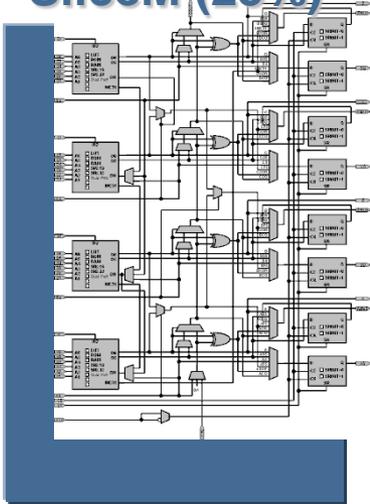
Three Types of Slices in Spartan-6 FPGAs

- SLICEM: Full slice
 - LUT can be used for logic and memory/SRL
 - Has wide multiplexers and carry chain
- SLICEL: Logic and arithmetic only
 - LUT can only be used for logic (not memory)
 - Has wide multiplexers and carry chain
- SLICEX: Logic only
 - LUT can only be used for logic (not memory)
 - No wide multiplexers or carry chain



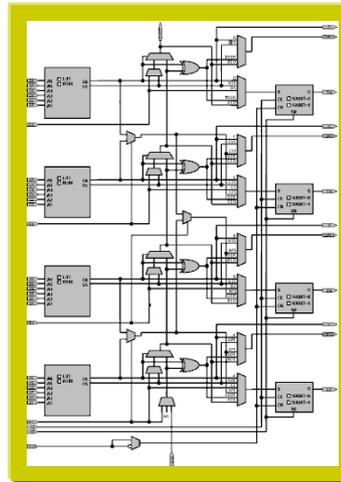
Spartan-6 CLB Logic Slices

SliceM (25%)



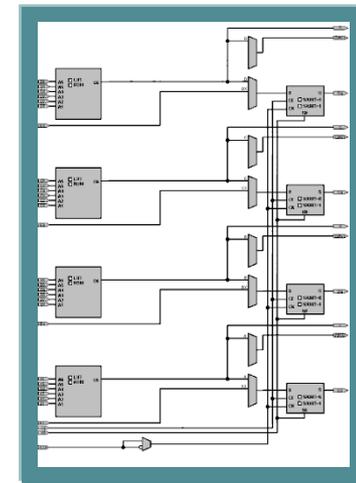
- LUT6
- 8 Registers
- Carry Logic
- Wide Function Muxes
- Distributed RAM / SRL logic

SliceL (25%)



- LUT6
- 8 Registers
- Carry Logic
- Wide Function Muxes

SliceX (50%)



- LUT6
- Optimized for Logic
- 8 Registers

Slice mix chosen for the optimal balance of Cost, Power & Performance

The Xilinx 7 Series FPGAs

Industry's First Unified Architecture

- Industry's Lowest Power and First Unified Architecture
 - Spanning Low-Cost to Ultra High-End applications
- Three new device families with breakthrough innovations in power efficiency, performance-capacity and price-performance

	ARTIX ⁷	KINTEX ⁷	VIRTEX ⁷
	Lowest Power & Cost	Industry's Best Price/Performance	Industry's Highest System Performance
Logic Cells	20K – 355K	30K – 410K	285K – 2,000K
DSP Slices	40 – 700	120 – 1540	700 – 3,960
Max. Transceivers	4	16	80
Transceiver Performance	3.75Gbps	6.6Gbps 10.3Gbps	10.3Gbps 13.1Gbps 28Gbps
Memory Performance	800Mbps	2133Mbps	2133Mbps
Max. SelectIO™	450	500	1200
SelectIO™ Voltages	3.3V and below	3.3V and below 1.8V and below	3.3V and below 1.8V and below

Virtex-7 Sub-Families

- The Virtex-7 family has several sub-families
 - Virtex-7: General logic
 - Virtex-7XT: Rich DSP and block RAM
 - Virtex-7HT: Highest serial bandwidth

