

# Digitális Technika Laboratórium

---

Dr. Oniga István  
Debreceni Egyetem, Informatikai Kar

A tananyag elkészítését az EFOP-3.4.3-16-2016-00021 számú projekt támogatta.  
A projekt az Európai Unió támogatásával, az Európai Szociális Alap társfinanszírozásával valósult meg.

# 1. Laboratóriumi gyakorlat

---

A gyakorlat célja:

- megismerkedni a félév során használandó fejlesztőeszközökkel
- megszerezni a szükséges készségeket a további gyakorlatokhoz

# **Bevezető az ISE rendszer használatához**

---

# Xilinx ISE Design Suite 14.7

- Xilinx ISE - Integrated Software Environment – integrált szoftverkörnyezet
  - a Xilinx cég FPGA-ihoz és CPLD-ihöz kifejlesztett szoftver.
- **Az ISE rendszer részei**
  - *Schematic Editor – Kapcsolási rajz szerkesztő*
  - *Core Generator – IP magok paraméterezése*
  - *PlanAhead – Implementálás menedzselése*
  - *Xilinx Platform Studio (XPS) = EDK + SDK – Beágyazott rendszer fejlesztő környezete*
  - *Timing Analyzer – Időzítési analízátor*
  - *FPGA Editor*
  - *Impact – Bitstream (FPGA konfiguráció) letöltő program*
  - *ChipScope: logikai analízátor*

# Xilinx ISE Design Suite 14.7

- **ISE WebPack** - ISE rendszer egyszerűbb, de funkcionálisan komplett változata
  - csak a Xilinx cég IC-ivel való implementálást támogatja ,
  - nem támogatja az összes család összes IC-jét, hanem tipikusan csak a kisebb komplexitásúakat,
  - ingyenes szoftver, szabadon letölthető (regisztráció után):

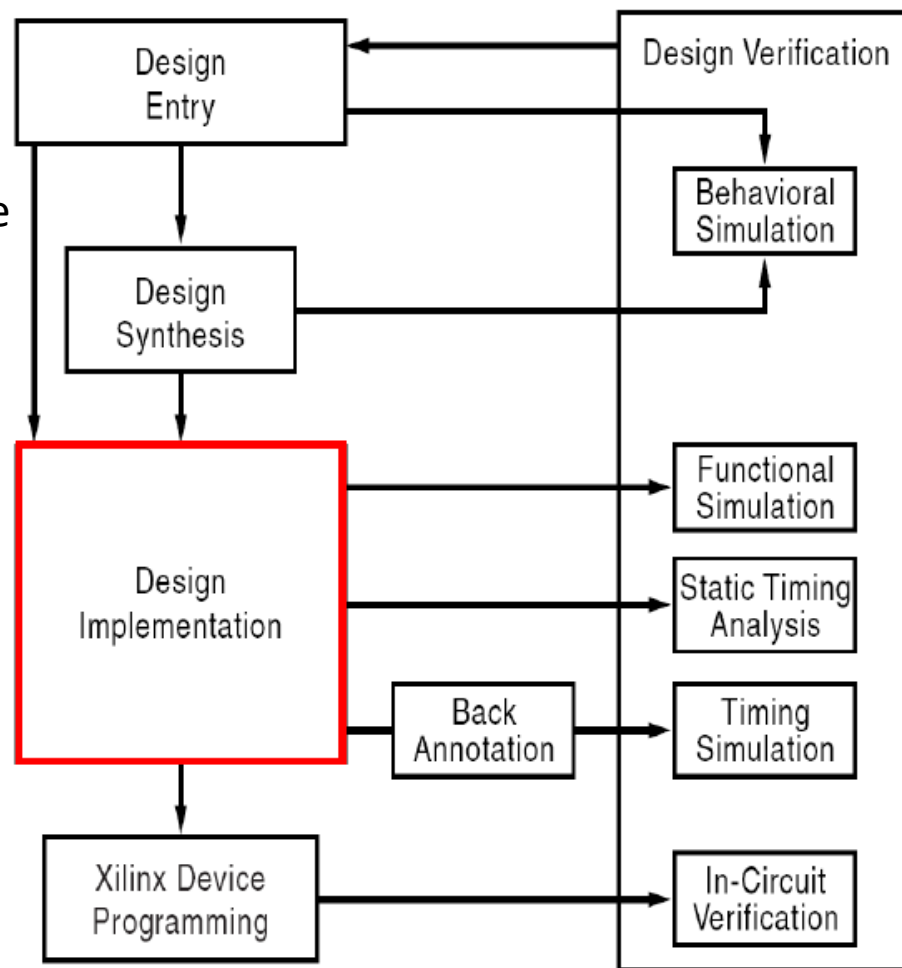
[https://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/design-tools/v2012\\_4---14\\_7.html](https://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/design-tools/v2012_4---14_7.html)

[Full Installer for Windows 7/XP/Server](#) (TAR/GZIP - 6.18 GB)

MD5 SUM Value: 94f40553a93dfbeca642503e2721b270

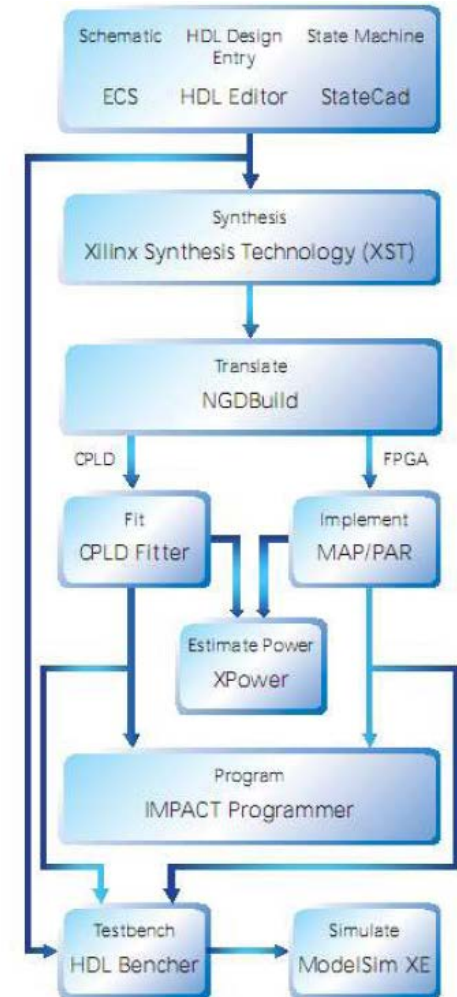
# Fejlesztő rendszerek

- Terv leírás: (Design Entry)
  - Xilinx Foundation ISE
  - Külső eszköz
    - Mentor Graphics: FPGA Advantage
    - Celoxica: DK Design Suite
- Szintézis terv: (Design Synthesis)
  - XST: Xilinx Synthesis Technology
  - Mentor: Leonardo Spectrum
  - Synplicity: Synplify Pro
  - Celoxica: DK Design Suite
- Szimuláció:
  - Mentor: Modelsim
  - Aldec: Active-HDL
  - Celoxica: DK Design Suite
- In Circuit verifikáció:
  - Xilinx: ChipScope



# Fejlesztés folyamata

- Project Navigator szoftver, az ISE keretprogram
  - **Rendszertervezés** – (Terv leírás + tervezési megkötések – constraints)
  - RTL szimuláció - Tesztkörnyezet ( Testbench )
  - **Szintézis**
  - **Implementáció**: TRANSLATE →MAP →PAR (place & route)
  - Statikus időzítési analízis: timing parameters meghatározása (max clock frequency, propagation delays etc.)
  - **Bitstream generálása és letöltése** (konfigurációs file - .bit)



1. ábra Tervezési folyamat a WebPACK rendszerrel

# *Terv leírás*

- A tervező az elképzéseit, terveit háromféle formában viheti be a rendszerbe.
  - **Kapcsolási rajz** (Schematic) formájában, a Xilinx ECS (Engineering Capture System), a kapcsolási rajz készítő és beviteli program segítségével.
  - **Hardver leíró nyelven.** Ezt a bevitelt a HDL editor rész támogatja. A támogatott nyelvek: ABELHDL, Verilog és VHDL. A rendszer sok mintaleírást is tartalmaz, úgynevezett sablonok (template) formájában.
  - **Állapotgép.** Lehetőség van arra is, hogy a tervező az elképzelt sorrendi hálózat működését állapotgráf formájában adja meg. Ezt a StateCAD alrendszer segíti, mellyel megrajzolható az állapotgráf, majd ezután a StateCAD az állapotgráfból HDL leírást is tud készíteni.



# *Terv verifikálása*

- Azt ellenőrizzük, hogy a terv szerinti áramkör működése megfelel-e a feladat specifikációjának.
- A verifikálás szimulációval történik.
- A WebPACK rendszer szimulátora a **Xilinx ISE Simulator**.
- A modellt működtetni, "gerjeszteni" kell, - a modell bemeneteire megfelelően változó jeleket kell adni. Ez az tesztképek sorozatának ráadásával történik.
- A tesztképeket a tervező beleírhatja a HDL leírásba, mint tesztelési környezet (testbench).

# *Szintézis*

- Xilinx Synthesis Technology (XST) alrendszer végez, amely ugyancsak az ISE része (szintézisre léteznek más programok is).
- A szintézer a HDL leírásból előállít egy minimalizált és optimalizált huzalozási listát, amely az adott FPGA primitíveket (LUT, FF), és a köztük levő kapcsolatokat tartalmazza.

# *Implementáció*

TRANSLATE → MAP → PAR (place & route)

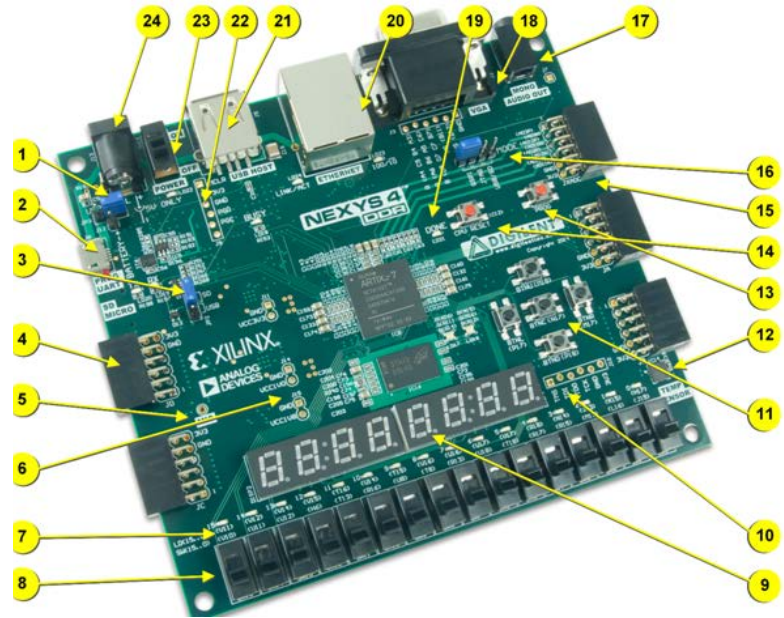
- **TRANSLATE:** több, esetleg eltérő nyelven megírt tervezői file (HDL) összerendelése (merge) egyetlen netlist- fájlba (EDIF)
- **MAP** = technology mapping: leképezés az adott FPGA primitív-készletére (a kapukat CLB-é, ill. IOB-á „képezi le”)
- **PAR:** a végleges „fizikai” áramkört hozza létre amelyben a primitíveket fizikai helyekre rak és kialakítja a fizikai huzalozást (routing).

# ***Konfigurálás***

- **Bitstream** - konfigurációs file (.bit)
  - generálása
  - letöltése – soros interfészen keresztül (JTAG)
- **IMPACT** program végzi

# Nexys 4 DDR Artix-7 FPGA

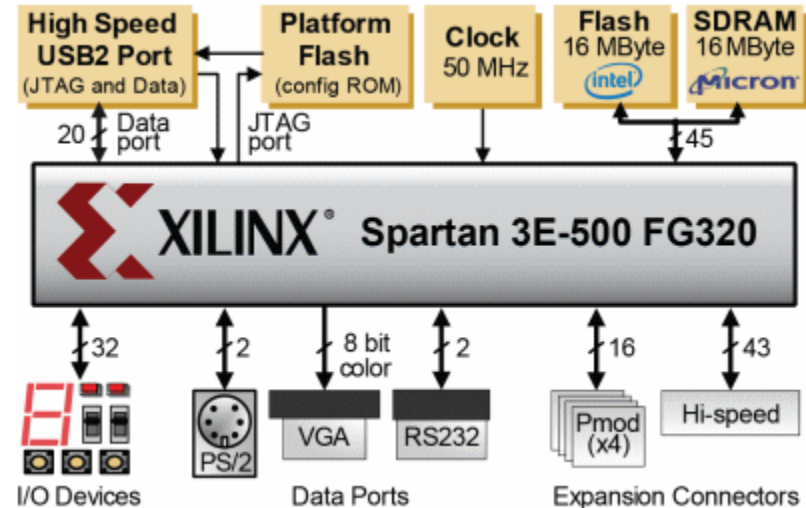
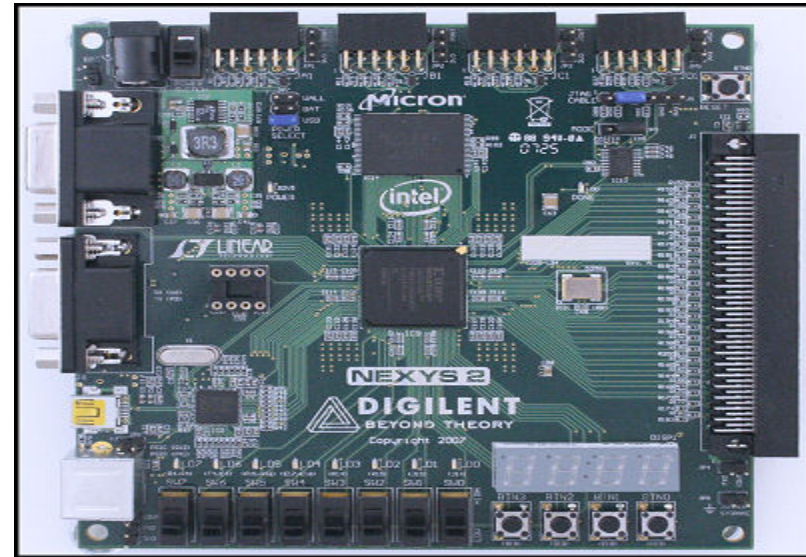
- 15,850 logic slices, each with four 6-input LUTs and 8 flip-flops
- 4,860 Kbits of fast block RAM
- Six clock management tiles, each with phase-locked loop (PLL)
- 240 DSP slices
- Internal clock speeds exceeding 450 MHz
- On-chip analog-to-digital converter (XADC)
- 16 user switches
- USB-UART Bridge
- 12-bit VGA output
- 3-axis accelerometer
- 128MiB DDR2
- Pmod for XADC signals
- 16 user LEDs
- Two tri-color LEDs
- PWM audio output
- Temperature sensor
- Serial Flash
- Digilent USB-JTAG port for FPGA programming and communication
- Two 4-digit 7-segment displays
- Micro SD card connector
- PDM microphone
- 10/100 Ethernet PHY
- Four Pmod ports
- USB HID Host for mice, keyboards and memory sticks



[Nexys 4 DDR Reference Manual](#)  
[Nexys 4 DDR Master UCF](#)

# Digilent Nexys 2

- Xilinx Spartan-3E FPGA, 500K / 1200K ekvivalens kapuval
- USB2 port (táp, konfiguráció, adat-transzfer egyben)
- Xilinx ISE/Webpack/EDK
- 16MB Micron PSDRAM
- 16MB Intel StrataFlash Flash
- Xilinx Platform Flash ROM
- 50MHz osszcillátor
- 75 FPGA I/O's (1 nagy- sebességű Hirose FX2 konnektor és 4 db 2x6 PMOD konnektor)
- GPIO: 8 LED, 4-jegyű 7- szegmenses kijelző, 4 nyomógomb, 8 kapcsoló
- VGA, PS/2, Soros port



Nexys 2 reference manual <https://reference.digilentinc.com/reference/programmable-logic/nexys-2/reference-manual>  
Digilent Nexys 2 kártya <https://store.digilentinc.com/nexys-2-spartan-3e-fpga-trainer-board-retired-see-nexys-4-ddr/>

# Digilent Adept suite



- Digilent Adept is a unique and powerful solution which allows you to communicate with Digilent system boards and a wide assortment of logic devices.

## ADEPT for Windows

Adept 2 provide JTAG configuration and data transferring

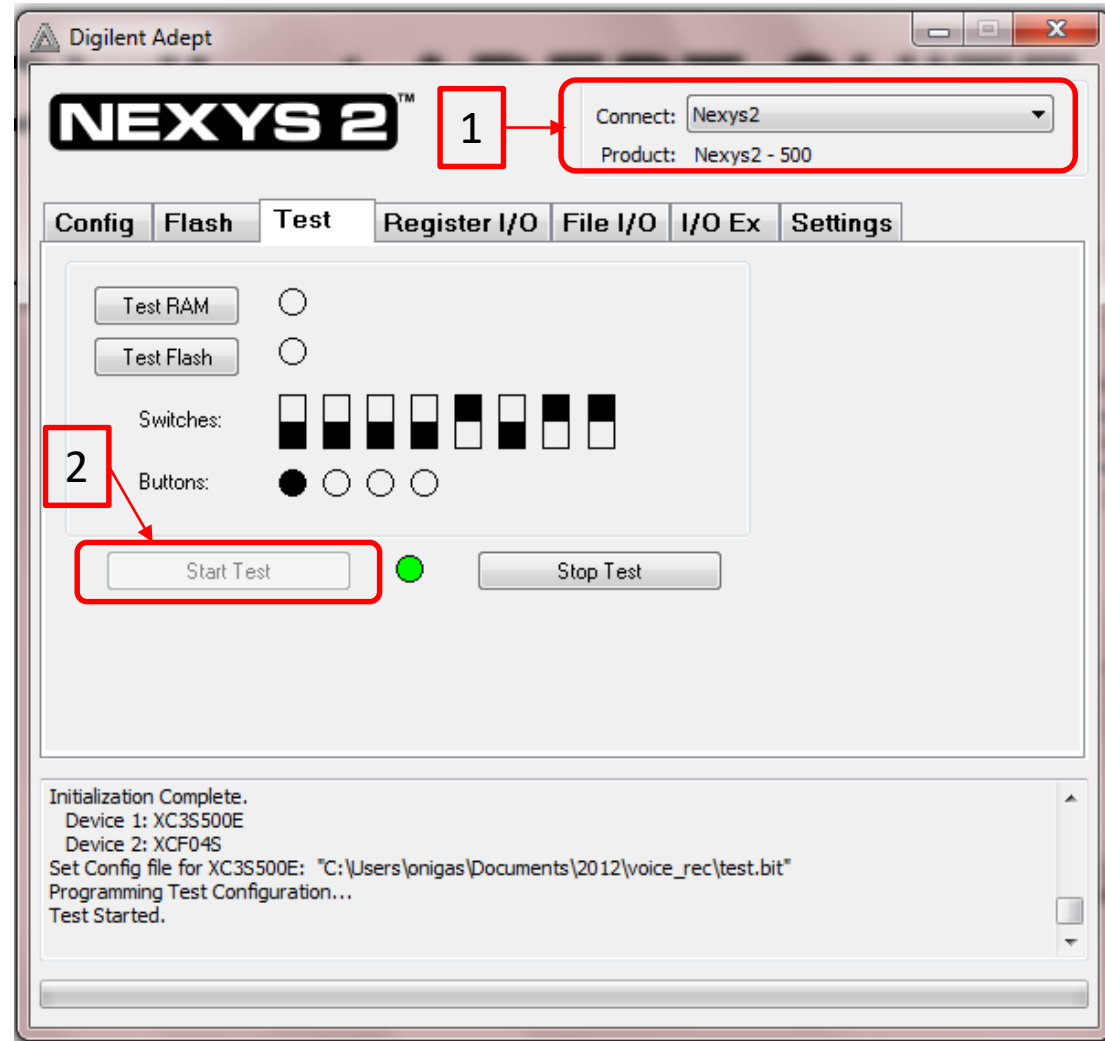
- Also adds board verification and I/O expansion features.
- Configure the Xilinx logic devices. Initialize a scan chain, program FPGAs, CPLDs, and PROMs, organize and keep track of your configuration files
- Transfer data to and from the onboard FPGA on your system board. Read from and write to specified registers. Load a stream of data to a register or read a stream of data from a register.
- Organize and quickly connect to your communications modules.
- Program Xilinx XCFS Platform Flash devices using .bit or .mcs files.
- Program Xilinx CoolRunner2 CPLDs using .jed files.
- Program most Spartan and Virtex series FPGAs with .bit files

<https://store.digilentinc.com/digilent-adept-2-download-only/>



# KÁRTYA TESZTELÉSE

1. FPGA kártya bekapcsolása után meg kell bizonyosodni hogy az Adept felismerte
2. Start Teszt
  - RAM
  - Flash
  - Kapcsolok
  - Nyomógombok
  - LED-ek
  - 7 Szegmenses kijelző





# Xilinx ISE bemutatója

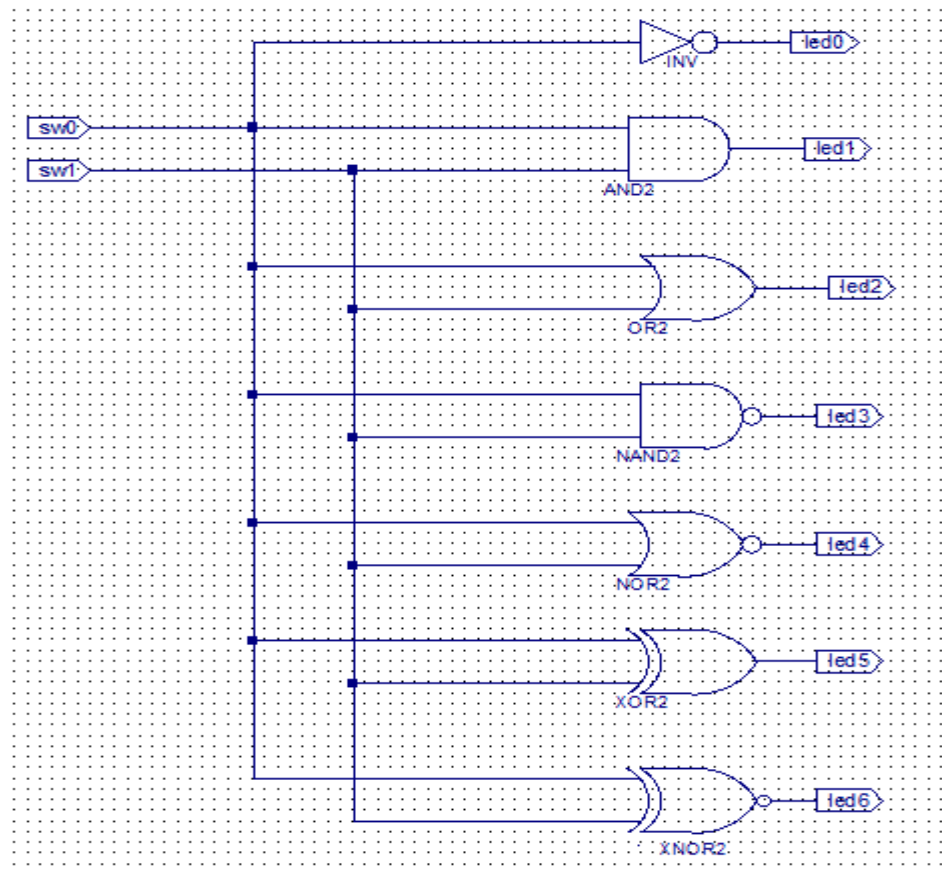
The screenshot displays the Xilinx ISE Project Navigator interface. The top menu bar includes File, Edit, View, Project, Source, Process, Tools, Window, Layout, and Help. The main workspace is divided into several panes:

- Sources window (források):** Located on the left, it shows a hierarchy of files including 'szamlalo\_pelda', 'xc3s200-4pq208', and 'count\_sec (count\_sec.v)'. A red box highlights this area with the text 'Sources window (források)'.
- Process window (feldolgozások):** Located below the Sources window, it shows the status of various processes such as 'Design Summary/Reports', 'Design Utilities', 'User Constraints', 'Synthesize - XST', and 'View RTL Schematic'. A red box highlights this area with the text 'Process window (feldolgozások)'.
- Munka ablak (editor):** The central pane displays the Verilog code for 'count\_sec.v'. The code includes a timescale, comments, and a module definition for 'count\_sec' with inputs 'clk', 'rst', 'ce', 'dir' and output 'q'. A red box highlights this area with the text 'Munka ablak (editor)'.
- Console (üzenet ablak):** Located at the bottom, it shows the output of the 'Launching Design Summary/Report Viewer...' process. A red box highlights this area with the text 'Console (üzenet ablak)'.

The bottom status bar indicates the current line and column (Ln 21 Col 1) and the language (Verilog).

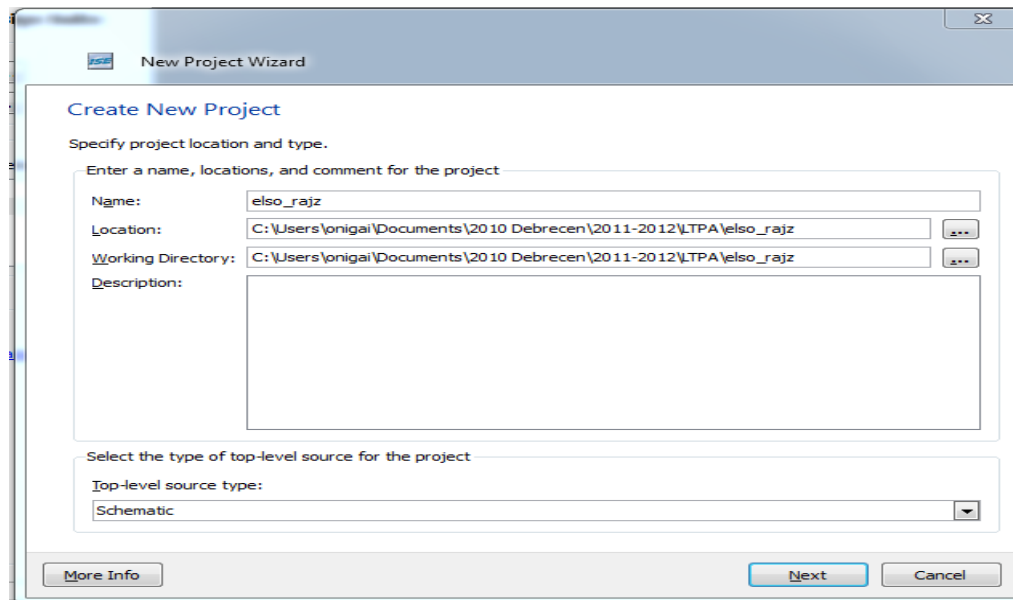
# Lab1\_1 feladat:

2 változós logikai függvények tesztelése  
- kapcsolási rajz szintű tervezéssel -



# A project létrehozása

- **A fejlesztőkörnyezet elindítása:** Start -> Programs\Xilinx ISE Design Suite 14.7\ISE Design Tools\Project Navigator.
- Új projekt (*File*→*New Project*) - minden projektnek külön könyvtárat hoz létre,
- Projektünk neve legyen „*elso\_rajz*” (javaslat),
  - Az elérési út NE tartalmazzon ékezetet és white-space karaktereket!
  - A projekt neve és a fájl neve NE kezdődjön számmal (de tartalmazhat számokat)
  - A hibaüzenetek könnyebb értelmezhetősége szempontjából ajánlott hogy a projekt neve és a források neve legyen eltérő.
- **Legmagasabb szintű** forrásként kapcsolási rajz alapú (schematic) típust adjunk meg!



# FPGA tulajdonságainak beállítása

- A **Next** gombra kattintás után megjelenő **Device Properties** mezőben a **Value** oszlop legördülő listáiból válassza az alábbi értékeket:

## NEXYS 2 board

**Device Family:** Spartan3E

**Device:** xc3s500E

**Package:** FG320

**Speed Grade:** -4

**Synthesis Tool:** XST (VHDL/Verilog)

**Simulator:** ISim (VHDL/Verilog)

**Preferred Language:** Verilog

## NEXYS 4 DDR board

**Family:** Artix7

**Device:** XC7A100T

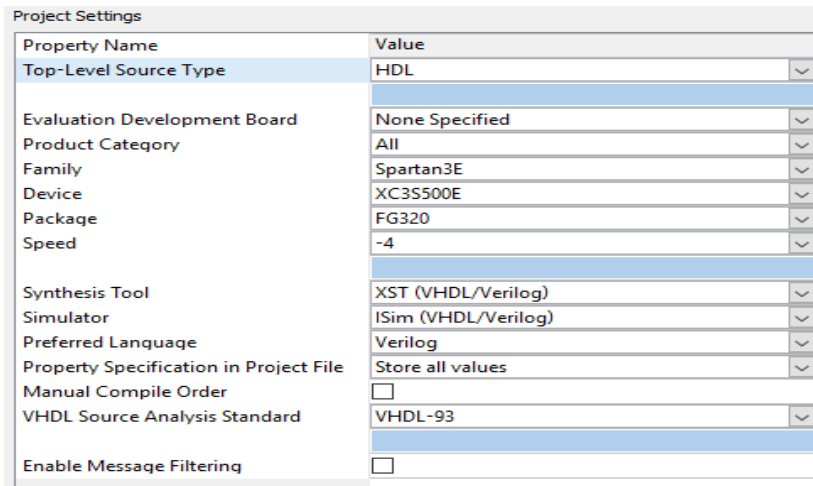
**Package:** CSG324

**Speed Grade:** -3

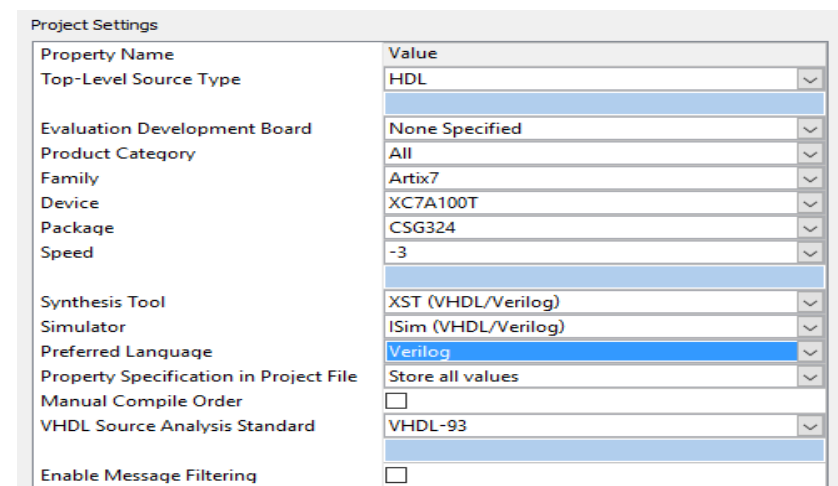
**Synthesis Tool:** XST (VHDL/Verilog)

**Simulator:** ISim (VHDL/Verilog)

**Preferred Language:** Verilog



| Property Name                          | Value                    |
|--|--------------------------|
| Top-Level Source Type                  | HDL                      |
| Evaluation Development Board           | None Specified           |
| Product Category                       | All                      |
| Family                                 | Spartan3E                |
| Device                                 | XC3S500E                 |
| Package                                | FG320                    |
| Speed                                  | -4                       |
| Synthesis Tool                         | XST (VHDL/Verilog)       |
| Simulator                              | ISim (VHDL/Verilog)      |
| Preferred Language                     | Verilog                  |
| Property Specification in Project File | Store all values         |
| Manual Compile Order                   | <input type="checkbox"/> |
| VHDL Source Analysis Standard          | VHDL-93                  |
| Enable Message Filtering               | <input type="checkbox"/> |

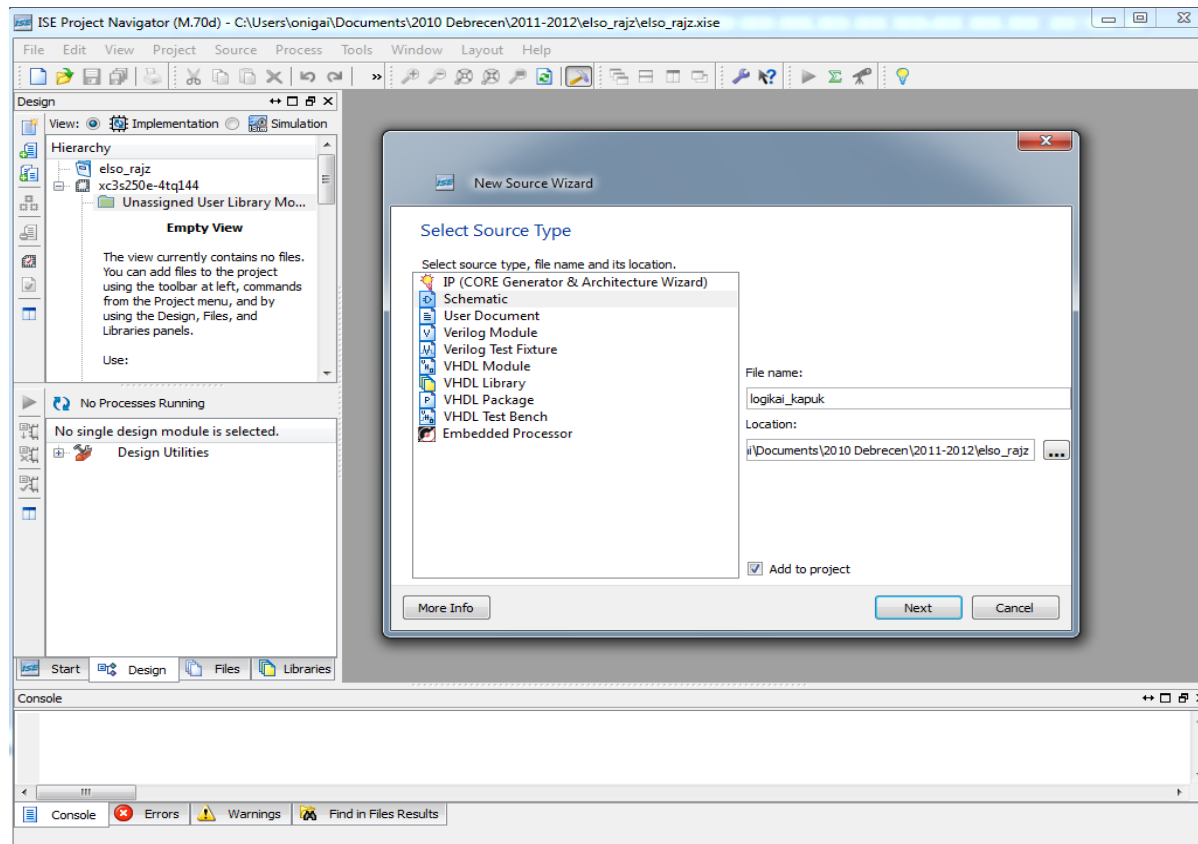


| Property Name                          | Value                    |
|--|--------------------------|
| Top-Level Source Type                  | HDL                      |
| Evaluation Development Board           | None Specified           |
| Product Category                       | All                      |
| Family                                 | Artix7                   |
| Device                                 | XC7A100T                 |
| Package                                | CSG324                   |
| Speed                                  | -3                       |
| Synthesis Tool                         | XST (VHDL/Verilog)       |
| Simulator                              | ISim (VHDL/Verilog)      |
| Preferred Language                     | Verilog                  |
| Property Specification in Project File | Store all values         |
| Manual Compile Order                   | <input type="checkbox"/> |
| VHDL Source Analysis Standard          | VHDL-93                  |
| Enable Message Filtering               | <input type="checkbox"/> |

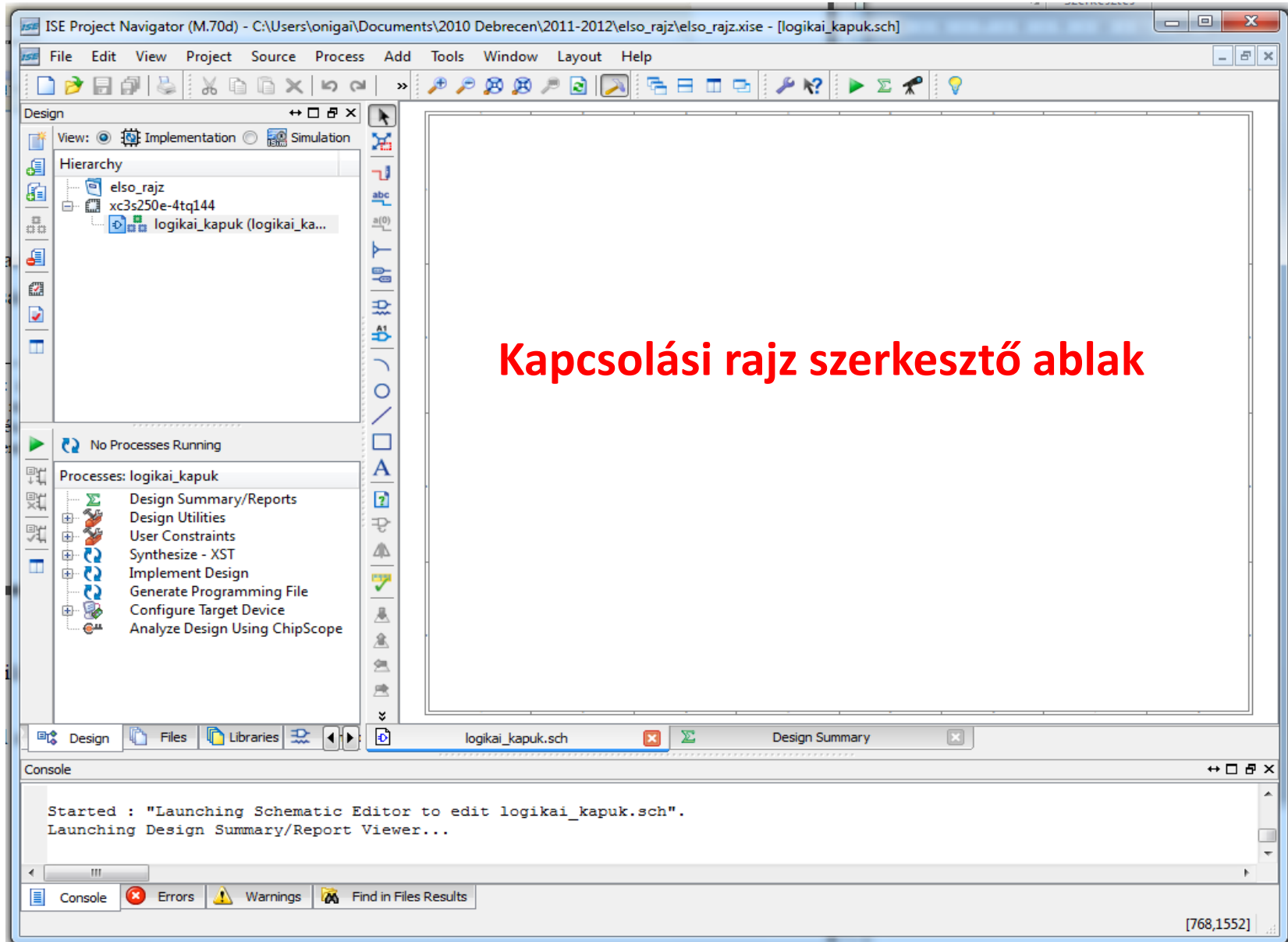
A **Next**, majd **Finish** gombra kattintva elkészül az üres project.

# Új forrás hozzáadása

- Hozzunk létre forrás fájlt (*Project*→*New Source...*)!
- A forrásunk típusa schematic, a neve logikai\_kapuk!
- Amennyiben nem történt meg automatikusan, adjuk hozzá a forrás fájlt a projektünkhöz (*Project*→*Add Source...*)

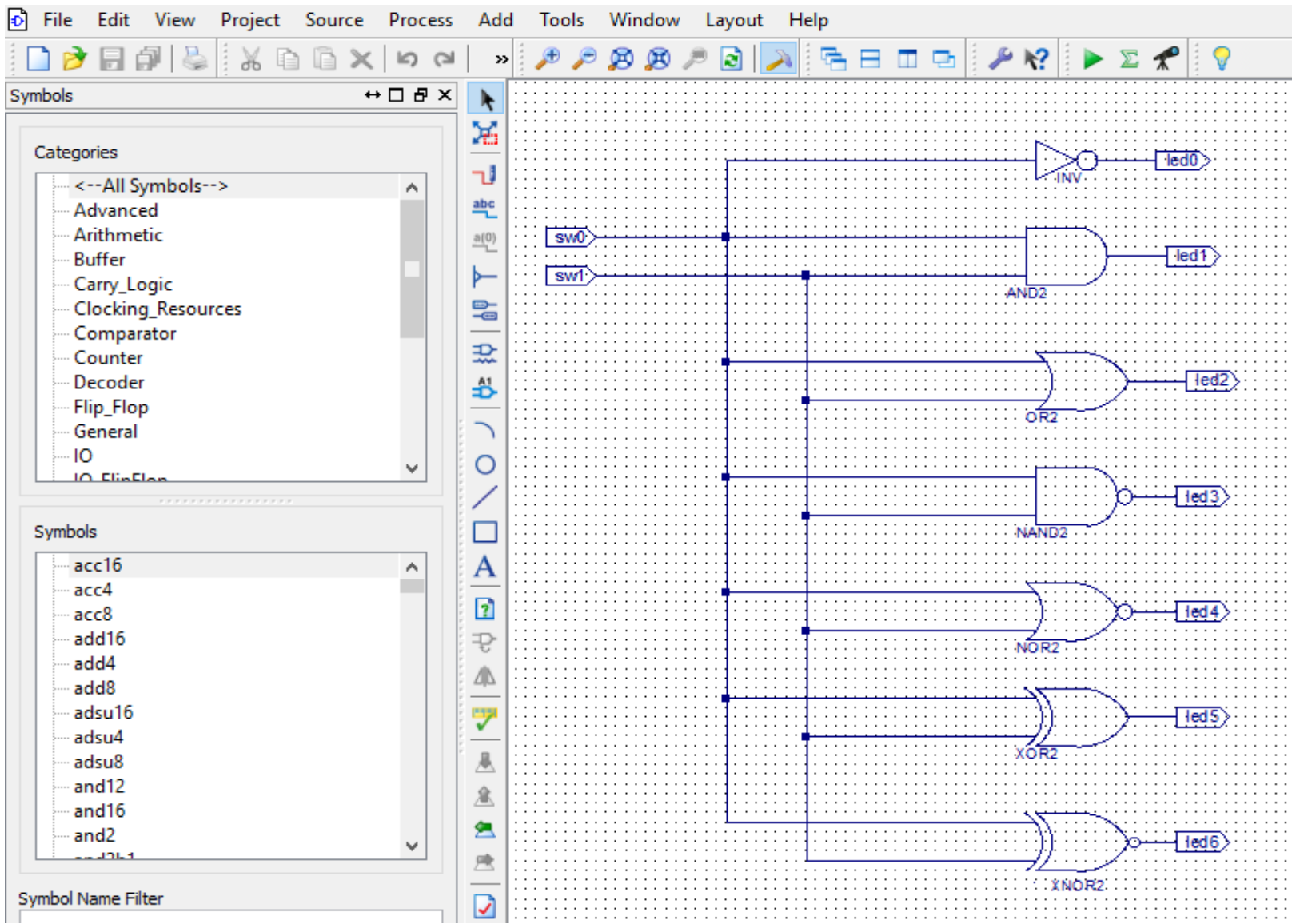


# Kapcsolási rajz alapú projekt




# A feladat

- Logikai kapuk implementációja



# A parancsok illetve parancsikonok

- Add Wire (): Szimbólum (alkatrész, könyvtári, vagy saját) hozzáadása.

**Nevezzük el** a különböző busz-elnevezéseket és az I/O markereket!

- **Vezeték, busz elnevezése:** *Add Net Name* (a bal alsó ablakban az *Options* fülnél a *Name* sorba írjuk a nevet, majd kattintsunk az elnevezni kívánt vezetékekre. Az esztétikus kivitelezésre törekedve ügyeljünk, hogy a vezetékek elég hosszú legyen a felirat elhelyezéséhez!).5
- **I/O marker elnevezése:** dupla kattintás az I/O markeren, a felugró ablakban *Name* mező átírása.



# Constraints file

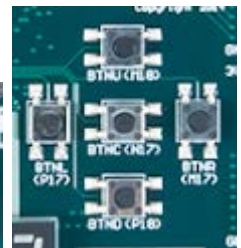
- A láb-hozzárendelések elvégzéséhez egy constraint fájlt adunk a projecthez.
- Válasszuk ki a **Project / New Source** menüpontot, a felbukkanó ablakban pedig álljunk az **Implementation Constraint File**-ra, névnek pedig válasszuk a *elso*-t.
- **Next/Finish** gomb megnyomása után a **Sources** ablakban meg is jelenik a *elso.ucf* fájl.
- Ha sikeresen lelestük a panelről a használt lábak nevét, az alábbihoz egészen hasonló *ucf* filet kapunk

## NEXYS 2 board

```
NET "sw0" LOC = "B18" ;  
NET "sw1" LOC = "D18" ;  
NET "led0" LOC = "J14" ;  
NET "led1" LOC = "J15" ;  
NET "led2" LOC = "K15" ;  
NET "led3" LOC = "K14" ;  
NET "led4" LOC = "E17" ;  
NET "led5" LOC = "p15" ;  
NET "led6" LOC = "F4" ;
```

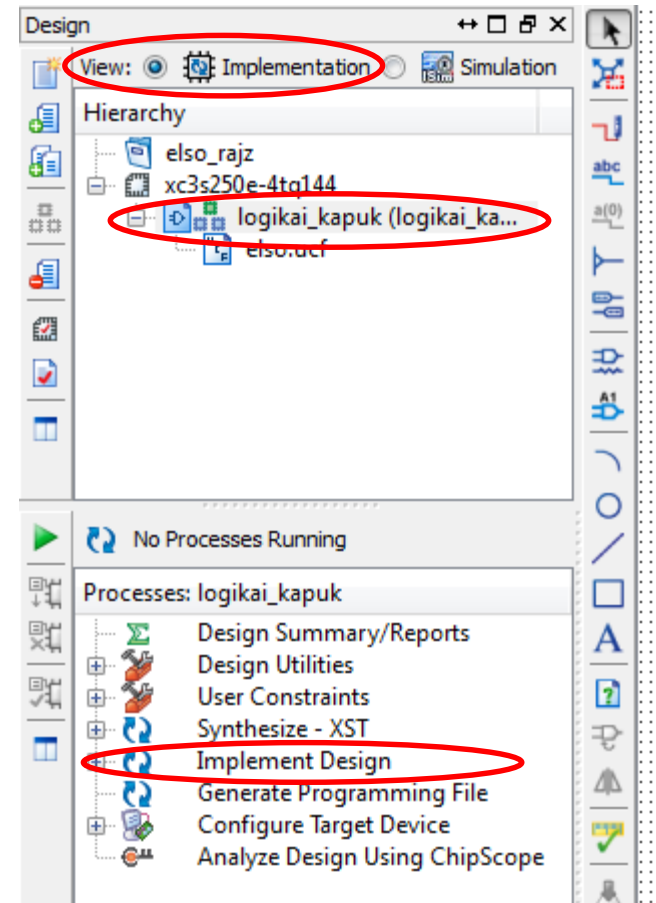
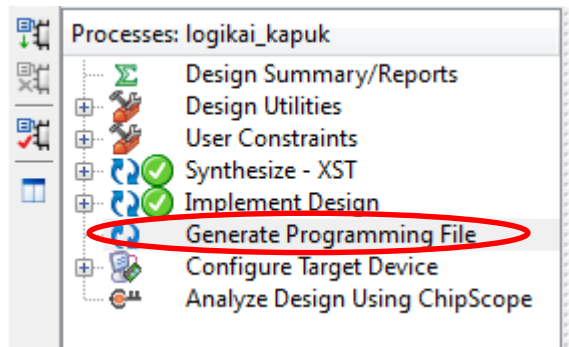
## NEXYS 4DDR board

```
NET "sw0" LOC=J15 | IOSTANDARD=LVCMOS33;  
NET "sw1" LOC=L16 | IOSTANDARD=LVCMOS33;  
# LEDs  
NET "led0" LOC=H17 | IOSTANDARD=LVCMOS33;  
NET "led1" LOC=K15 | IOSTANDARD=LVCMOS33;  
NET "led2" LOC=J13 | IOSTANDARD=LVCMOS33;  
NET "led3" LOC=N14 | IOSTANDARD=LVCMOS33;  
NET "led4" LOC=R18 | IOSTANDARD=LVCMOS33;  
NET "led5" LOC=V17 | IOSTANDARD=LVCMOS33;  
NET "led6" LOC=U17 | IOSTANDARD=LVCMOS33;
```



# A terv implementációja

- A terv leképzése az FPGA struktúrára (**Implement Design**),
  - **View** → *implementation*
  - **Hierarchy** ablak → a top level fájl
  - **Processes** ablak → Implement Design
- **Konfigurációs bitminta létrehozása**

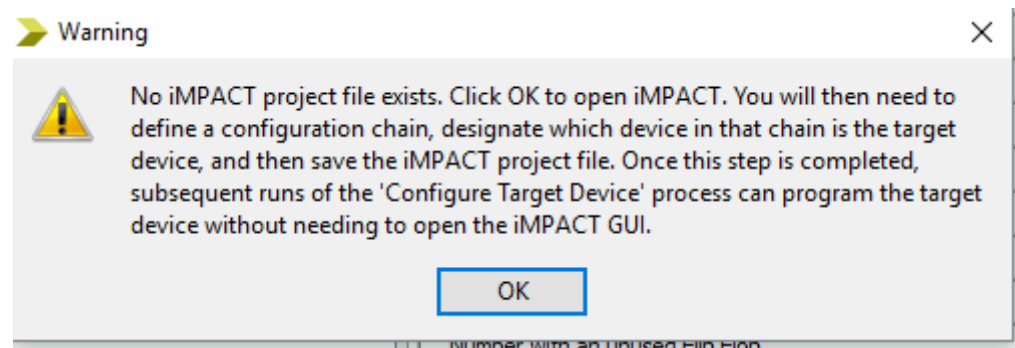
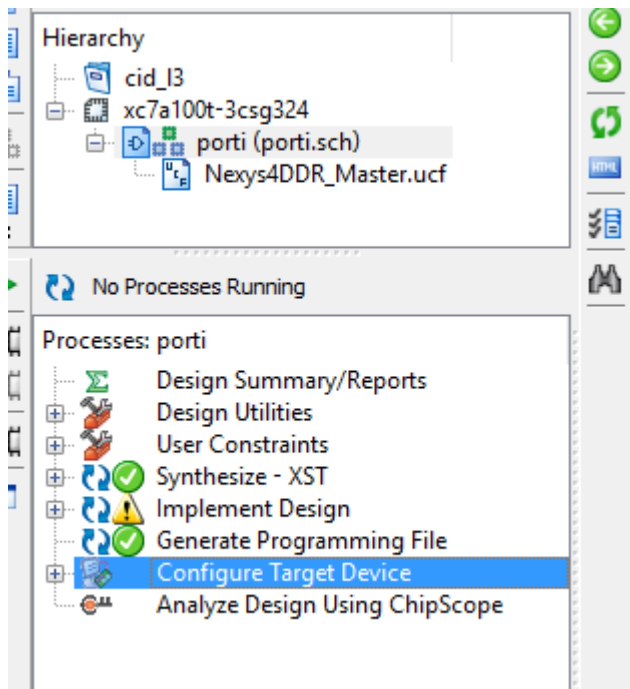


# Az FPGA konfigurálása

- Tényleges realizálás az FPGA konfigurálásával (beprogramozásával), az előző műveletben létrehozott *.bit* konfigurációs fájlnek az FPGA-ba való letöltésével történik.
  1. Impact program (ISE része) segítségével
  2. Digilent Adept Suite programmal
- Digilent Adept Suite  
<https://www.digilentinc.com/Products/Detail.cfm?NavPath=2,66,828&Prod=ADEPT2>

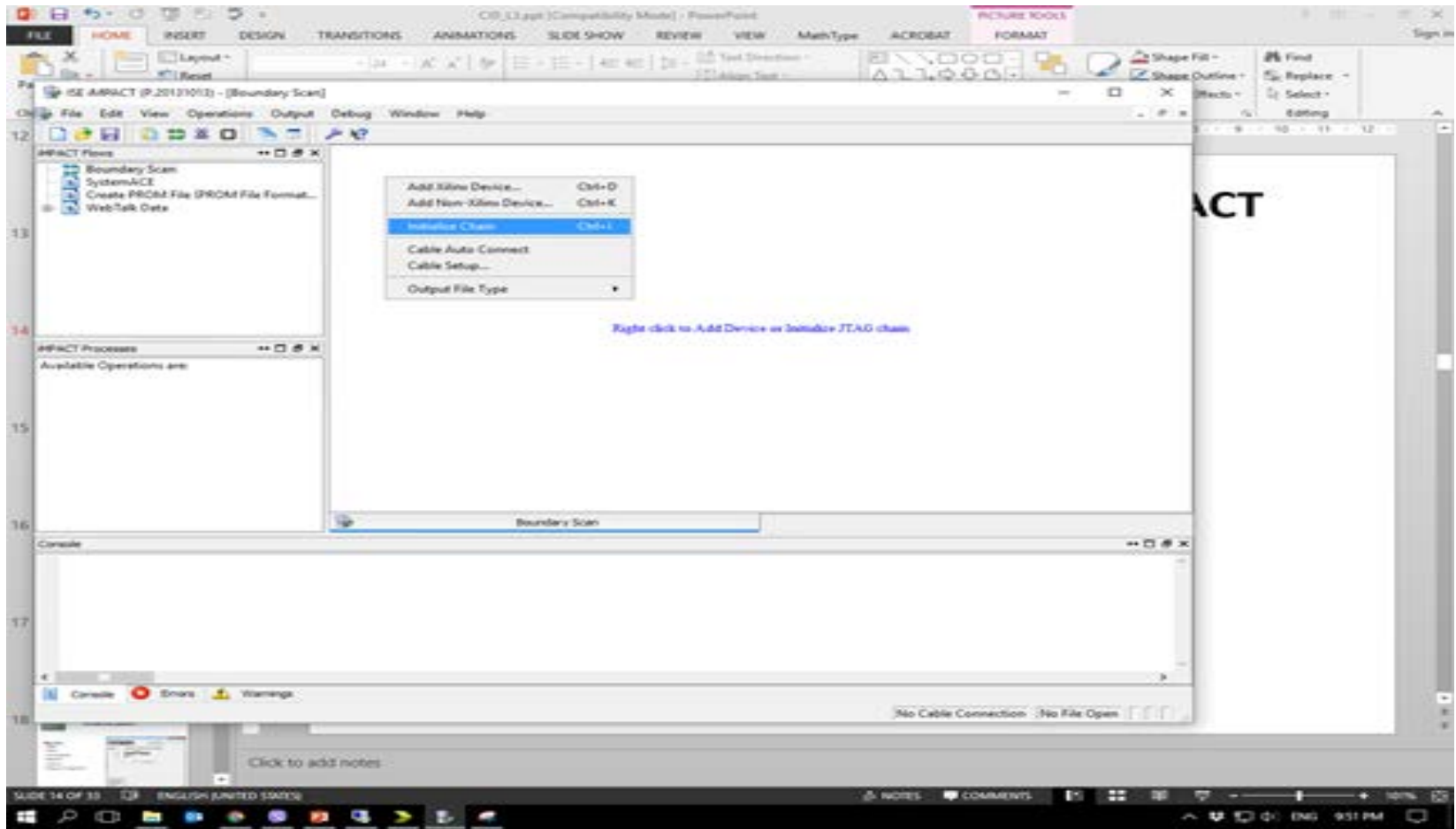
# 1. IMPACT program segítségével

1. Configure Target Devices
2. OK



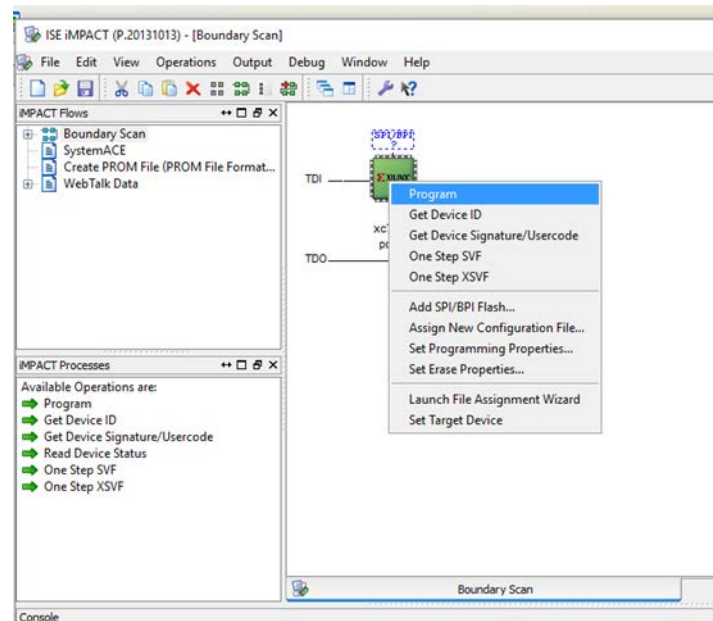
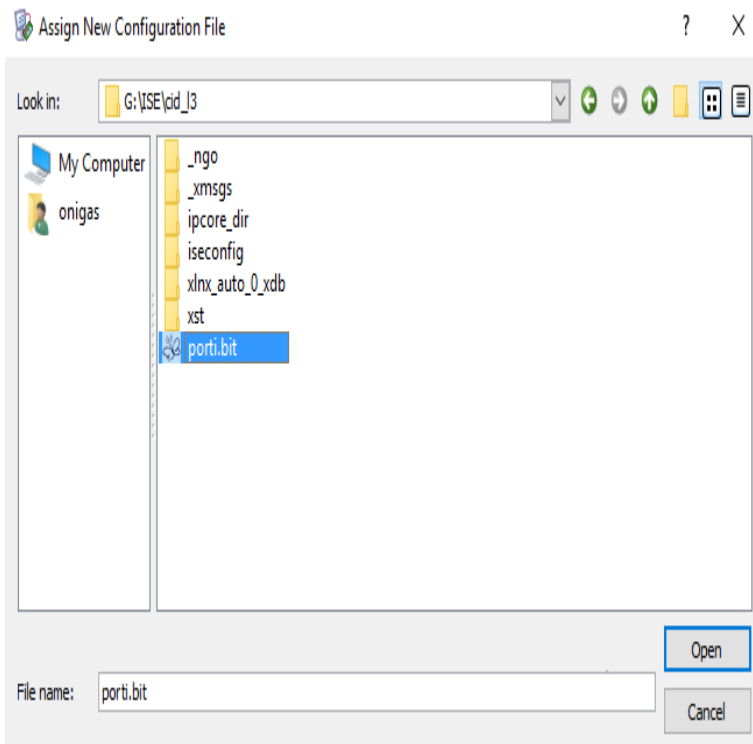
# 1. IMPACT program segítségével

3. Boundary Scan (dupla klikk)
4. Jobb klikk a Boundary scan ablakban
5. Initialize chain



# 1. IMPACT program segítségével

6. Assign new configuration file
7. Open, No, Ok
8. Jobb klikk a zöld ikonra, Program

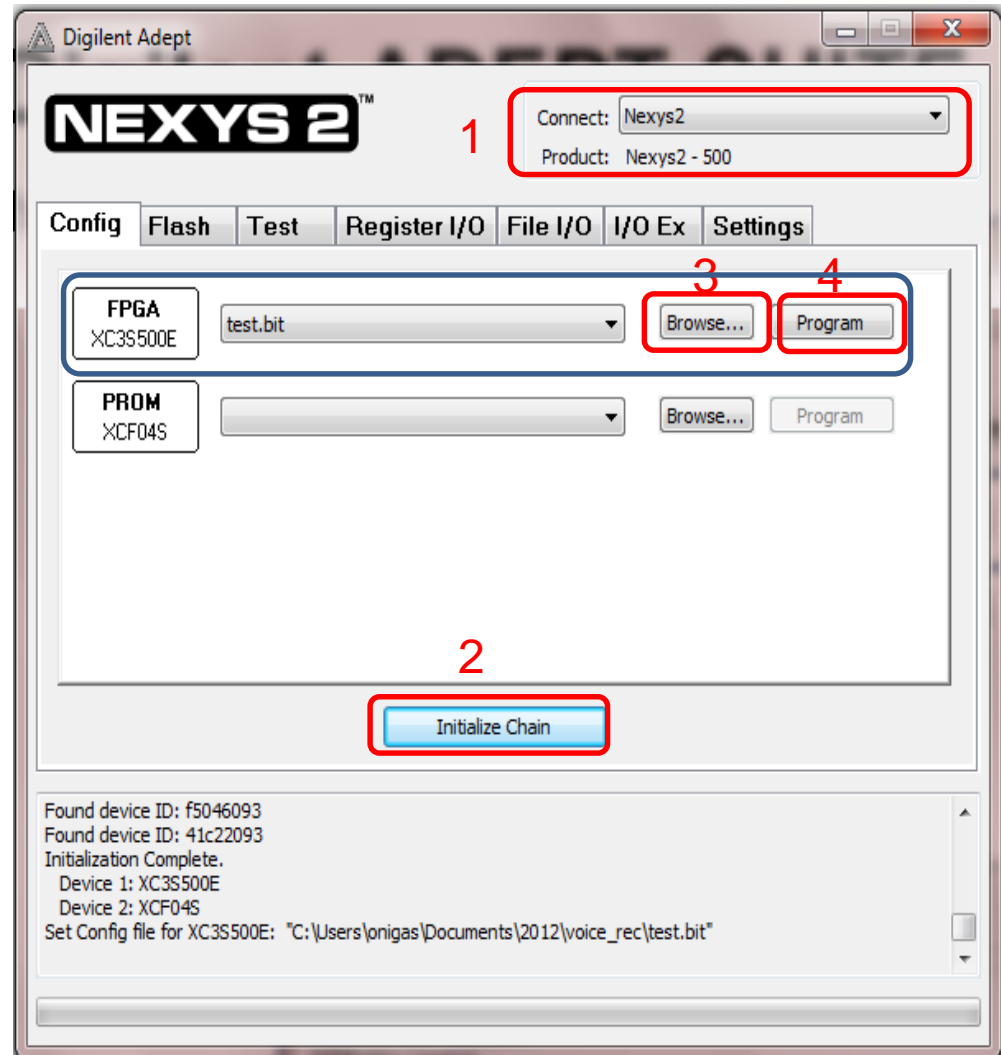


# 2. Digilent Adept szoftver

(A második konfigurálási lehetőség)



1. FPGA kártya bekapcsolása után meg kell bizonyosodni hogy az Adept felismerte
2. JTAG lánc inicializálása
3. Generált konfigurációs fájl betallózása (projektnev.bit)
4. Programozás



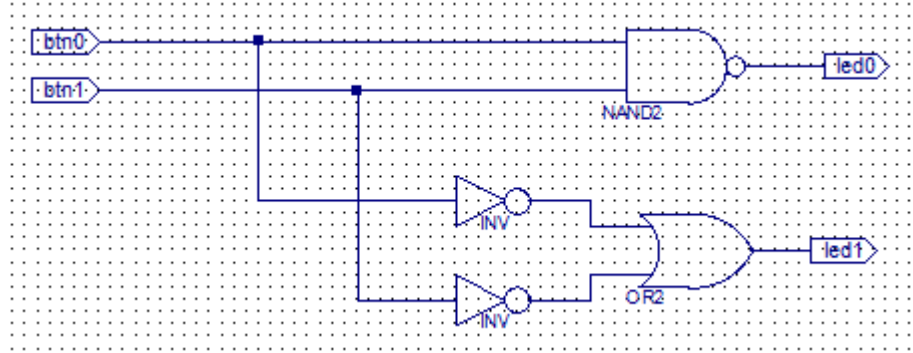
# Eredmények

- A sw0 és sw1 nyomógombok megnyomásával alítsa elő a négy lehetséges bemeneti kombinációt és írja be a led-ek megfelelő állapotjait
- Ellenőrizze a minden logikai függvények igazság táblázatát

| sw0 | sw1 | led0<br>NOT | led1<br>AND | led2<br>OR | led3<br>NAND | led4<br>NOR | led5<br>XOR | led6<br>XNOR |
|-----|-----|-------------|-------------|------------|--------------|-------------|-------------|--------------|
| 0   | 0   |             |             |            |              |             |             |              |
| 0   | 1   |             |             |            |              |             |             |              |
| 1   | 0   |             |             |            |              |             |             |              |
| 1   | 1   |             |             |            |              |             |             |              |



# Szorgalmi „Schematic” feladat



| btn0 | btn1 | led0=(AB)' | led1=A'+B' |
|------|------|------------|------------|
| 0    | 0    |            |            |
| 0    | 1    |            |            |
| 1    | 0    |            |            |
| 1    | 1    |            |            |